

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 8月29日

出 願 番 号

Application Number:

特願2001-259928

[ST.10/C]:

[JP2001-259928]

出 願 人

Applicant(s):

富士電機株式会社

2002年 2月15日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

【書類名】 特許願

【整理番号】 01P00850

【提出日】 平成13年 8月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/861

H01L 29/78

H01L 29/74

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

【氏名】 根本 道生

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

【氏名】 西浦 彰

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

【氏名】 内藤 達也

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100088339

【弁理士】

【氏名又は名称】 篠部 正治

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 48631

【出願日】 平成13年 2月23日

【手数料の表示】

【予納台帳番号】 013099

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715182

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の第 1 半導体層と、該第 1 半導体層の一方の主面に形成される、該第 1 半導体層より高濃度の第 2 導電型の第 2 半導体層と、前記第 1 半導体層の他方の主面に形成され、該第 1 半導体層より高濃度の第 1 導電型の第 3 半導体層とを具備する半導体装置において、

第 1 半導体層内に、第 2 半導体層および第 3 半導体層とそれぞれに離して形成され、前記第 1 半導体層より高濃度の第 1 導電型の第 4 半導体層を有することを特徴とする半導体装置。

【請求項 2】 前記第 4 半導体層が、前記第 1 半導体層内で一様に形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 4 半導体層が、複数個形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記第 2 半導体層と前記第 4 半導体層の間の前記第 1 半導体層の不純物濃度が、前記第 3 半導体層と前記第 4 半導体層の間にある前記第 1 半導体層の不純物濃度より低いことを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 5】 第 1 導電型のドリフト層と、該ドリフト層の一方の表面に該ドリフト層より高濃度の第 2 導電型のアノード層と、前記ドリフト層の他方の表面に形成され、該ドリフト層より高濃度の第 1 導電型のカソード層とを有する半導体装置において、

ドリフト層内に、アノード層およびカソード層とそれぞれ離して形成され、前記ドリフト層より高濃度の第 1 導電型のバッファ層を有することを特徴とする半導体装置。

【請求項 6】 前記バッファ層が、前記ドリフト層内で一様に形成されることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記バッファ層が、複数個形成されることを特徴とする請求項 5 に記載の半導体装置。

【請求項 8】前記アノード層と前記バッファ層の間にある前記ドリフト層の不純物濃度が、前記カソード層と前記バッファ層の間にある前記ドリフト層の不純物濃度より低いことを特徴とする請求項 5 ないし 7 のいずれかに記載の半導体装置。

【請求項 9】前記アノード層と前記ドリフト層の p n 接合から、前記アノード側の前記バッファ層端までの最短距離 X_1 が、

【数 1】

$$0.3 \leq \frac{X_1}{\sqrt{\frac{BV \epsilon_s}{q \left(\frac{J_F}{qv_{sat}} + N_D \right)}}} \leq 1.6$$

但し BV :素子耐圧

ϵ_s :半導体の誘電率

q :電荷素量

J_F :素子定格電流密度

v_{sat} :キャリア飽和速度

N_D :第 1 導電型ドリフト層濃度

で表されることを特徴とする請求項 5 ないし 8 のいずれかに記載の半導体装置。

【請求項 10】前記アノード層と前記ドリフト層の p n 接合から、前記アノード側の前記バッファ層端までの最短距離 X_1 が、

【数 2】

$$0.8 \leq \frac{X_1}{\sqrt{\frac{BV \epsilon_s}{q \left(\frac{J_F}{qv_{sat}} + N_D \right)}}} \leq 1.2$$

但し BV :素子耐圧

ϵ_s :半導体の誘電率

q :電荷素量

J_F :素子定格電流密度

v_{sat} :キャリア飽和速度

N_D :第 1 導電型ドリフト層濃度

で表されることを特徴とする請求項 5 ないし 8 のいずれかに記載の半導体装置。

【請求項 1 1】前記バッファ層の幅 Y_1 および平均濃度 N_{D2} が

【数 3】

$$Y_1 \left(\sqrt{X_1^2 + \frac{2\epsilon_s(V_{cc} + V_{PT})}{qN_{D2}}} - X_1 \right) \leq 2$$

但し X_1 : アノード電極と第 1 導電型バッファ層との最短距離
 V_{cc} : 素子耐圧の半値
 V_{PT} : 空乏層が第 1 導電型バッファ層に接触するときの電圧
 ϵ_s : 半導体の誘電率
 q : 電荷素量
 N_{D2} : 第 1 導電型バッファ層の平均濃度

を満たす様に、前記バッファ層が形成されていることを特徴とする請求項 5 ないし 10 のいずれかに記載の半導体装置。

【請求項 1 2】前記バッファ層が、選択的にドット状に形成されていることを特徴とする請求項 5 ないし 1 1 のいずれかに記載の半導体装置。

【請求項 1 3】前記バッファ層が、選択的にストライプ状に形成されていることを特徴とする請求項 5 ないし 1 1 のいずれかに記載の半導体装置。

【請求項 1 4】第 1 導電型の第 1 ドリフト層となるバルクウェハと、該バルクウェハの一方の主面の表面に、第 1 導電型の不純物をイオン注入して形成される、第 1 ドリフト層より高濃度のバッファ層と、該バッファ層上に、エピタキシャル成長で形成される該バッファ層より低濃度の第 1 導電型の第 2 ドリフト層と、該第 2 ドリフト層に、第 2 導電型の不純物をイオン注入し形成されるアノード層と、該アノード層上に形成されるアノード電極と、前記バルクウェハの他方の主面をバックグラインドして、表面から所定の深さの前記バルクウェハを除去し、該バックグラインドされた表面に、前記第 1 ドリフト層より高濃度の第 1 導電型の不純物のイオンをイオン注入し形成されるカソード層と、該カソード層上に形成されるカソード電極とを具備することを特徴とする半導体装置。

【請求項 15】第 1 導電型の第 1 ドリフト層となるバルクウェハの一方の主面に、第 1 導電型の不純物をイオン注入し、第 1 ドリフト層より高濃度のバッファ層を形成する工程と、該バッファ層上に、該バッファ層より低濃度の第 1 導電型の第 2 ドリフト層をエピタキシャル成長で形成する工程と、該第 2 ドリフト層に、第 2 導電型の不純物をイオン注入し、アノード層を形成する工程と、該アノード層上にアノード電極を形成する工程と、前記バルクウェハの他方の主面をバックグラインドして、表面から所定の深さの前記バルクウェハを除去する工程と、前記バックグラインドされた前記バルクウェハの表面に、前記第 1 ドリフト層より高濃度の第 1 導電型の不純物のイオンをイオン注入し、カソード層を形成する工程と、該カソード層上にカソード電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ダイオードなどの半導体装置に関する。

【0002】

【従来の技術】

図 25 は、従来の p i n ダイオードの要部断面図である。低比抵抗の n 型カソード層 55 となる第 1 の n 型半導体基材上に、高抵抗の第 2 の n 型半導体基材をエピタキシャル成長（以下、エピ成長という）させる。その後、表面の鏡面処理等を経て、熱酸化膜を形成、パターンニング後、第 2 の n 型半導体基材の表面層に p 型アノード層 51 を形成する。この p 型アノード層 51 が形成される領域が n 型ドリフト層 58 となる。その後、白金などのライフタイム制御のための重金属拡散した後、p 型アノード層 51 表面および n 型カソード層 55 表面（裏面）にメタリゼーションにより、アノード電極 56 およびカソード電極 57 をそれぞれ形成する。

【0003】

また、図示しないが、前記のエピタキシャル基板 200 を用いず、例えば、FZ 基板などを用いて、イオン注入や熱拡散で形成する場合もある。その場合は、

n型半導体基板の一方の表面層に、p型アノード層を拡散で形成し、他方の表面層にn型カソード層をイオン注入や熱拡散で形成する。このp型アノード層およびn型カソード層が形成されないn型半導体基板がn型ドリフト層となる。

【0004】

その後、白金などのライフタイム制御のための重金属拡散した後、p型アノード層上とn型カソード層上に、メタリゼーションでアノード電極およびカソード電極をそれぞれ形成する。

現在、広く用いられている、従来のpinダイオードは、オン状態からオフ状態にスイッチするときには、過渡的に大きな逆方向の電流、所謂、逆回復電流が流れる。この逆回復電流と、逆回復電圧の積により、ダイオードに、大きな電氣的損失を生じる。この逆回復損失を小さくし、さらに、スイッチング速度を高速化することが、ダイオードに強く要求されている。

【0005】

また、逆回復状態では、ダイオード内部には、定常状態の場合に比べて高い電氣的責務（印加される電圧・電流・損失のこと）が生じる。ダイオードに流れる定常電流を大きくしたり、阻止状態の電圧を大きくすると、この電氣的責務が大きくなり、そのため、ダイオードが破壊することがある。電力用途のダイオードにおいて高い信頼性を確保するためには、この電氣的責務に耐えられるように、逆回復耐量を大きくすることが強く要求される。

【0006】

現在、ダイオードの逆回復特性および逆回復耐量を改善するための対策として、
.....
行われている。すなわち、ライフタイムを小さくすることで、定常状態における総キャリア濃度を低減させ、逆回復中に、空間電荷領域の広がりによって掃き出されるキャリア濃度を減少させ、逆回復時間や逆回復電流（ピーク値）および逆回復電荷を小さくして、逆回復損失を低減させている。

【0007】

また、正孔濃度を減少させることにより、正孔が空間電荷領域を走り抜けることによって生じる逆回復中の電界強度を緩和し、逆回復時の責務を小さくして、

逆回復耐量を向上させ、ダイオードを破壊し難くしている。

一方、ダイオードのソフトリカバリー化も重要な課題である。近年、環境問題などにより、パワーエレクトロニクス機器から発生する電磁ノイズを低減することが要求されており、その対応策の一つに、ダイオードの逆回復電流をソフトリカバリー化して、逆回復電流・電圧波形が発振するのを抑制して、発振によって生じる電磁ノイズを低減する方法がある。

【0008】

ソフトリカバリー化する手段としては、アノード側からの少数キャリアの注入効率を抑制する構造がある。代表的な構造として、例えば、参考文献〔1〕に開示されている Merged Pin/Schottky Diode (MPS) や、例えば、参考文献〔2〕に開示されている Soft and Fast Recovery Diode (SFD) などがある。

【0009】

【発明が解決しようとする課題】

参考文献〔3〕に開示されているように、ダイオードの逆回復動作の高速化・低損失化とソフトリカバリー化の間にはトレードオフの関係がある。

ダイオードをソフトリカバリー化するためには、オン時に、ドリフト層に蓄積する総キャリア量を多くして、カソード側に蓄積する少数キャリア量を多くし、逆回復時に、空間電荷領域がアノード側からカソード側に向かって広がる過程で、カソード側の少数キャリアをできるだけ残留するようにして、逆回復電流の減速率、すなわち逆回復電流減少率 di_r/dt を小さくする方法がある。

【0010】

しかし、この方法では、オン時に蓄積するドリフト層内のキャリア量が多いため、逆回復損失が増加し、逆回復が終了するまでに時間を要する（逆回復時間が長くなる）。

一方、ダイオードを高速化および低損失化するということは、前記とは逆に、ドリフト層に一樣にライフタイムキラーを導入するライフタイム制御やドリフト層を薄くするなどにより、オン時にドリフト層に蓄積するキャリア量を少なくするということである。しかしながら、ドリフト層に蓄積するキャリア量が少なく

なると、カソード側に蓄積する少数キャリア量も少なくなり、所謂、スナッピー（前記の di/dt が大きいこと）なハードリカバリーとなり、逆回復電圧・電流ともに発振波形になる場合がある。

【0011】

また、ダイオードをソフトリカバリー化する方法としては、前記の参考文献〔1〕、〔2〕に開示されている低注入型ダイオードであるMPSやSFDなどがあるが、これらの構造では、同一厚さのドリフト層の通常のpinダイオード構造に比べて、ショットキー接合や低濃度アノード層により、耐圧の低下や逆バイアス時の漏れ電流の増加が起き易い。

【0012】

また、ソフトリカバリー化の他の方法として、プロトンやヘリウムイオン等の軽イオン粒子線の照射により、ライフタイムの局所制御を行う場合、ウェハあたりの照射コストがまだ高く、製造コストが高くなる。

ドリフト層の厚みを薄くし、前記のMPS構造やSFD構造である低注入ダイオードにするか、または、ドリフト層の厚みを薄くし、ライフタイムの局所制御をして、高速化・低損失化とソフトリカバリー化のトレードオフの向上を図ったとしても、ドリフト層の厚みを薄くすると、ソフトリカバリー化に必要なドリフト層のカソード側の余剰キャリアが存在する領域が不足し、逆回復電流がハードリカバリーとなり、逆回復電流・電圧が発振波形になり易くなる。また、耐圧の確保も一層困難となる。

【0013】

この発明の目的は、前記の課題を解決し、耐圧を確保しながら、高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる薄いドリフト層を有する半導体装置を提供することである。

【0014】

【課題を解決するための手段】

前記の目的を達成するために、第1導電型の第1半導体層と、該第1半導体層の一方の主面に形成される、該第1半導体層より高濃度の第2導電型の第2半導体層と、前記第1半導体層の他方の主面に形成され、該第1半導体層より高濃度

の第 1 導電型の第 3 半導体層とを具備する半導体装置において、

第 1 半導体層内に、第 2 半導体層および第 3 半導体層とそれぞれに離して形成され、前記第 1 半導体層より高濃度の第 1 導電型の第 4 半導体層を有する構成とする。

【0015】

前記第 4 半導体層が、前記第 1 半導体層内で一様に形成されるとよい。

前記第 4 半導体層が、複数個形成されるとよい。

前記第 2 半導体層と前記第 4 半導体層の間の前記第 1 半導体層の不純物濃度が、前記第 3 半導体層と前記第 4 半導体層の間にある前記第 1 半導体層の不純物濃度より低いとよい。

【0016】

第 1 導電型のドリフト層（前記の第 1 半導体層に相当する）と、該ドリフト層の一方の表面に該ドリフト層より高濃度の第 2 導電型のアノード層（前記の第 2 半導体層に相当する）と、前記ドリフト層の他方の表面に形成され、該ドリフト層より高濃度の第 1 導電型のカソード層（前記の第 3 半導体層に相当する）とを有する半導体装置において、

ドリフト層内に、アノード層およびカソード層とそれぞれ離して形成され、前記ドリフト層より高濃度の第 1 導電型のバッファ層（前記の第 4 半導体層に相当する）を有する構成とする。

【0017】

前記バッファ層が、前記ドリフト層内で一様に形成されるとよい。

前記バッファ層が、複数個形成されるとよい。

前記アノード層と前記バッファ層の間にある前記ドリフト層の不純物濃度が、前記カソード層と前記バッファ層の間にある前記ドリフト層の不純物濃度より低いとよい。

【0018】

前記アノード層と前記ドリフト層の p n 接合から、前記アノード側の前記バッファ層端までの最短距離 X 1 が、

【0019】

【数4】

$$0.3 \leq \frac{X_1}{\sqrt{\frac{BV \epsilon_s}{q \left(\frac{J_F}{qv_{sat}} + N_D \right)}}} \leq 1.6 \quad \dots(1)$$

但し BV :素子耐圧 ϵ_s :半導体の誘電率 q :電荷素量 J_F :素子定格電流密度 v_{sat} :キャリア飽和速度 N_D :第1導電型ドリフト層濃度

で表されるとよい。

前記アノード層と前記ドリフト層の p n 接合から、前記アノード側の前記バッファ層端までの最短距離 X_1 が、

【0020】

【数5】

$$0.8 \leq \frac{X_1}{\sqrt{\frac{BV \epsilon_s}{q \left(\frac{J_F}{qv_{sat}} + N_D \right)}}} \leq 1.2 \quad \dots(2)$$

但し BV :素子耐圧 ϵ_s :半導体の誘電率 J_F :素子定格電流密度 v_{sat} :キャリア飽和速度 N_D :第1導電型ドリフト層濃度

で表されるとよい。

前記バッファ層の幅 Y_1 および平均濃度 N_{D2} が

【0021】

【数 6】

$$Y1 \left(\sqrt{X_1^2 + \frac{2\epsilon_s(V_{cc} + V_{PT})}{qN_{D2}}} - X_1 \right) \leq 2 \quad \dots(3)$$

但し X_1 : アノード電極と第1導電型バッファ層との最短距離

V_{cc} : 素子耐圧の半値

V_{PT} : 空乏層が第1導電型バッファ層に接触するときの電圧

ϵ_s : 半導体の誘電率

q : 電荷素量

N_{D2} : 第1導電型バッファ層の平均濃度

を満たす様に、前記バッファ層が形成されているとよい。

前記バッファ層が、選択的にドット状に形成されているとよい。

前記バッファ層が、選択的にストライプ状に形成されているとよい。

【0 0 2 2】

また、第1導電型の第1ドリフト層となるバルクウェハ（例えば、FZウェハ）と、該バルクウェハの一方の主面の表面に、第1導電型の不純物をイオン注入して形成される、第1ドリフト層より高濃度のバッファ層と、該バッファ層上に、エピタキシャル成長で形成される該バッファ層より低濃度の第1導電型の第2ドリフト層と、該第2ドリフト層に、第2導電型の不純物をイオン注入し形成されるカソード層と、該アノード層上に形成されるアノード電極と、前記バルクウェハの他方の主面をバックグランドして、表面がツルツルであるバルクウェハを除去し、該バックグランドされた表面に、前記第1ドリフト層より高濃度の第1導電型の不純物のイオンをイオン注入し形成されるカソード層と、該カソード層上に形成されるカソード電極とを具備する構成とする。

【0 0 2 3】

また、第1導電型の第1ドリフト層となるバルクウェハの一方の主面に、第1導電型の不純物をイオン注入し、第1ドリフト層より高濃度のバッファ層を形成する工程と、該バッファ層上に、該バッファ層より低濃度の第1導電型の第2ド

リフト層をエピタキシャル成長で形成する工程と、該第2ドリフト層に、第2導電型の不純物をイオン注入し、アノード層を形成する工程と、該アノード層上にアノード電極を形成する工程と、前記バルクウェハの他方の主面をバックグラインドして、表面から所定の深さの前記バルクウェハを除去する工程と、前記バックグラインドされた前記バルクウェハの表面に、前記第1ドリフト層より高濃度の第1導電型の不純物のイオンをイオン注入し、カソード層を形成する工程と、該カソード層上にカソード電極を形成する工程とを含む製造方法とする。

【0024】

以下の説明では、前記の第1導電型をn型、第2導電型をp型とする。

この発明の特徴は、例えば、pin構造のダイオードを例にとると、i層すなわち高比抵抗のn型ドリフト層内に、p型アノード層およびn型カソード層に接触しないように、n型ドリフト層よりは低比抵抗で、n型カソード層よりは高比抵抗であるようなn型バッファ層を、一様もしくは選択的に形成する構成としたことにある。このときn型バッファ層とpn接合との最短距離を(1)式または(2)式を満たす様に形成する。さらにn型バッファ層の深さおよび平均濃度を式(3)式を満たす様に形成する。このような構造にすることで、n型ドリフト層を薄くしても発振せずソフトリカバリーにでき、耐圧も損なわずにすむ。すなわち、逆回復時に広がる空間電荷領域がn型バッファ層で一旦止まるため、n型バッファ層よりアノード側の少数キャリアは空間電荷領域によりすばやく掃き出される。一方n型バッファ層よりカソード側では、空間電荷領域は、n型バッファ層よりカソード側のn型ドリフト層に進入し、それ以上は広がらない。このために、カソード側の少数キャリアは、空間電荷領域で掃き出されずに、再結合のみにより減少する。従って、従来型のn型バッファ層を持たないpinダイオードに比べて十分キャリアが残るので、電流減少率が抑えられて、ソフトリカバリーとなる。従って、全n型ドリフト層厚を薄くすることができ、結果として、従来ダイオードに比べてソフトリカバリーかつ高速・低損失な逆回復動作にもすることが可能になる。

【0025】

ここで素子耐圧BVは、従来ダイオードに比べてもほとんど低下せず、同様の

値となる。これは、 n 型バッファ層を(1)式または(2)式、および(3)式を満たすように形成するので、逆バイアス時にアノード側から空乏層が広がるときに n 型バッファ層も空乏化するため、印加電圧を n 型ドリフト層全体で担うことができるからである。

【0026】

【発明の実施の形態】

以下の説明で、第1導電型を n 型、第2導電型を p 型とする。勿論、逆であっても構わない。

図1は、この発明の第1実施例の半導体装置の要部断面図である。この図は、耐圧構造部を除いた活性部における n 型バッファ層を形成した pin ダイオードの要部断面図を示している。

【0027】

例えば、 Sb （アンチモン）で、約 $0.01\Omega\text{-cm}$ の低比抵抗の n 型カソード層5となる n 型半導体基材上に、例えば P （リン）で、 $55\Omega\text{-cm}$ の第2の n 型ドリフト層4を約 $55\mu\text{m}$ エピ成長させる。その後、連続的に、例えば P で、 $5\Omega\text{-cm}$ の n 型バッファ層3を $5\mu\text{m}$ エピ成長させる。再び、連続的に、例えば P で、 $55\Omega\text{-cm}$ の n 型半導体層（後述の第2の n 型バッファ層2と p 型アノード層1となる）を $60\mu\text{m}$ エピ成長させる。その後、表面の鏡面処理等を施して、通常のエピ基板と同様に、半導体プロセス処理を開始する。熱酸化膜を形成し、パターニング後、イオン注入および熱拡散により、前記の $60\mu\text{m}$ の半導体層の表面層に $5\mu\text{m}$ 厚の n 型アノード層1を形成する。この p 型アノード層1が形成されない領域が第1の n 型ドリフト層2となる。

【0028】

p アノード層1と第1の n 型ドリフト層2との pn 接合から n バッファ層3までの最短距離 $X1$ と、 n 型バッファ層3の幅 $Y1$ は図示した通りである。この $X1$ は、ここでは第1の n 型ドリフト層2で、 $55\mu\text{m}$ となり、 $Y1$ は、 n 型バッファ層の幅で、 $5\mu\text{m}$ となる。第1の n 型ドリフト層2、 n 型バッファ層3、第2のドリフト層4を合わせて全体の n 型ドリフト層と称す。また、 n 型カソード層5と、第2の n 型ドリフト層4と、 n 型バッファ層3と、前記の n 型半導体層

が、エピタキシャル成長で製作された半導体基板100（エピ基板）である。

【0029】

その後、白金などのライフタイム制御のための重金属拡散した後、p型アノード層1表面およびn型カソード層5表面（裏面）にメタリゼーションにより、アノード電極6およびカソード電極7をそれぞれ形成する。これらの電極6、7にアノード端子Aとカソード端子Kが接続する。この様に、エピ成長のドーピング濃度制御以外は、すべて、図25の従来のpinダイオードと同じ工程で形成可能である。ライフタイム制御は重金属拡散以外にも、電子線やHe等の軽イオン照射等があり、いずれでも構わない。

【0030】

前記のX1とY1を後述する所定の範囲に設定することで、耐圧を確保しながら、高速化・低損失化とソフトリカバリー化の間のトレードオフを改善することができる。

図2は、本発明のpinダイオード（本発明品）と、従来のpinダイオード（従来品）との室温における逆回復波形を示す図である。I_aはアノード電流でV_{a k}はアノード・カソード間の電圧で、図では、正方向の電圧（プラス側の電圧）は、pinダイオードの逆方向電圧を示す。また、I_aが零になる時点以降から逆回復過程となる。本発明品Aの全体のn型ドリフト層の厚さは115μm、従来品のn型ドリフト層の厚さは、115μm（B）および135μm（C）の2通りである。また、従来品のp型アノード層、n型カソード層の厚さは本発明品と同様である。試験条件は 順電流（アノード電流）のピーク値は50Aで、逆方向の印加電圧は600V（素子耐圧BVの1/2）である。

【0031】

いずれの素子も室温で定格電流50A（定格電流密度170A/cm²に相当）での順電圧降下が1.7Vとなるように、電子線照射によりライフタイムを制御している。従来品では、n型ドリフト層が135μm（C）の場合は発振せずにソフトリカバリーであるのに対し、n型ドリフト層が115μm（B）の場合ではハードリカバリー、すなわち逆回復電流減少率di_r/dtがある時刻で急に増加し（逆回復電流が急激に減少し）、スナッピーリカバリー、つまり、ハー

ドリカバリーとなり、逆回復電流（アノード電流 I_a が零になる時点以降の電流）が発振するようになる。このため、回路のインダクタンス L と逆回復電流減少率 di_r/dt の積（ $L \cdot (di_r/dt)$ ）で発生する逆回復電圧もスパイク状に増加し、逆回復電圧が振動するようになる。ここでは、見やすくするために、 $115 \mu m$ (B) の従来品については、 $0.55 \mu s$ 以降の振動波形を省略している。

【0032】

一方、本発明品 (A) は、全体の n 型ドリフト層が $115 \mu m$ であるにもかかわらず、発振せずにソフトリカバリーとなっている。つまり、 $115 \mu m$ (B) の従来品と同等の高速化・低損失化を達成しながら、ソフトリカバリー化も図られており、高速化・低損失化とソフトリカバリー化の間のトレードオフが大幅に改善されている。

【0033】

さらに、ソフトリカバリー品同士 (A と C) で比較すると、逆回復電荷 Q_{rr} は、従来品 ($135 \mu m$ (C)) が $2.95 \mu C$ であるのに対し、本発明品 (A) は $1.65 \mu C$ であり、約 55% まで減少できている。従って、本発明品 (A) は、逆回復特性（逆回復電荷 Q_{rr} ）も大きく改善していることが分かる。

図3は、図2の逆回復過程において、本発明品の逆回復時におけるキャリア濃度の変化をデバイスシミュレーションにより計算したもので、同図 (a) は電子濃度、同図 (b) は正孔濃度である。横軸は、 p 型アノード層1表面からの深さである。図中の N_d は n 型ドリフト層の不純物濃度でドナー濃度であり、 $1E13$ の表現は 1×10^{13} を意味する。また、 p 型アノード層から $p-n$ 接合までの距離（ p 型アノード層の厚み）は、 $5 \mu m$ であり、全体の n 型ドリフト層（ n 型バッファ層を含む）の厚さは、 $115 \mu m$ である。

【0034】

$p-n$ 接合から n 型ドリフト層（図1の第1の n 型ドリフト層2のこと）に空間電荷領域（空乏層）が広がり、逆回復電流がピークを過ぎた後（ I_{rp} 時）、空間電荷領域は、 n 型バッファ層3で、その広がりは一且阻止され、その後、 n 型バ

ッファ層3を越えて、カソード側のn型ドリフト層に達する。n型バッファ層3があり、逆方向の印加電圧が素子耐圧BV(1200V)の半分であるため、空間電荷領域の広がり、このn型ドリフト層内で停止し、カソード側のn型ドリフト層(図1の第2のn型ドリフト層4のこと)内に残留した多くのキャリアは、その後、矢印で示すように再結合によりスムーズに減少する。従って、逆回復過程で、キャリア(電子と正孔)が十分残り、逆回復電流減少率($d i r / d t$)は小さく抑えられ、ソフトリカバリーとなる。

【0035】

図4は、図2の逆回復動作において、 $115 \mu m$ (B)の従来品における逆回復時のキャリア濃度の変化をデバイスシミュレーションにより計算したもので、同図(a)は電子濃度、同図(b)は正孔濃度である。この図は、図3に相当し、本発明品(A)と比較するための図である。

図3との違いは、図3のn型バッファ層3のある位置よりカソード側でのキャリアの減少の具合が異なる。従来品(B)の空間電荷領域は、n型バッファ層がないため、n型バッファ層で遮られることなく、カソード側へ進行する。その結果、カソード側のn型ドリフト層に残留しているキャリアは、カソード側のn型ドリフト層に広がった空間電荷領域より掃き出されて、n型ドリフト層内の残存キャリアは、ドナー濃度 N_D 以下に急激に減少し、カソード側のn型ドリフト層内の正孔(少数キャリア)は枯渇する。

【0036】

この状態は、図4に示されており、発振前にあった蓄積したキャリア(電子と正孔)は、発振直前(図の発振直後とはは同じ状態)にほぼ同じ状態となる。つまり、図4(b)に示す正孔濃度は、矢印の先、 $1 \times 10^{13} cm^{-3}$ よりはるかに小さな状態となる。この枯渇状態が急激に起こるために、逆回復電流減少率 $d i r / d t$ が大きくなり、ハードリカバリーとなる。その結果、逆回復電流・電圧が発振を開始する。

【0037】

図5は、本発明品(A)において、p型アノード層とn型ドリフト層のpn接合からn型バッファ層までの最短距離X1をパラメータとした逆回復電圧・電流

波形の比較図である。

X1は30 μm、55 μm、90 μmである。図2に示す従来品(115 μm品(B))よりは発振の程度は良いものの、本発明品(A)の30、90 μmとも発振している。このように、n型バッファ層3の位置(X1の大きさ)によりソフトリカバリー効果に違いがある。

【0038】

以下、ソフトリカバリー化するための、n型バッファ層の位置と幅について説明する。

逆回復中の空間電荷領域について、ポアソンの式を解けば、pn接合からn型ドリフト層に広がった空間電荷領域端までの距離Lは、

【0039】

【数7】

$$L = \sqrt{\frac{BV \epsilon_s}{q \left(\frac{J_F}{qv_{sat}} + N_D \right)}} \quad \dots(4)$$

但しBV:素子耐圧

ϵ_s :半導体の誘電率

q:電荷素量

J_F :素子定格電流密度

v_{sat} :キャリア飽和速度

N_D :第1導電型ドリフト層濃度

上式は、ポアソンの式の電荷量に相当し、 $(J_F / q v_{sat})$ を逆回復動作による電荷とする。

この式により、素子耐圧BV(素子のアバランシェ電圧)と、素子の定格電流密度 J_F と、n型ドリフト層の不純物濃度 N_D を決めると、 $[(J_F / q v_{sat}) + N_D]$ と置いた電荷量に相当する、pn接合からn型ドリフト領域に広がった空間電荷領域の距離Lがポアソンの式により決まる。ここでは、この距離Lを、空間電荷領域の広がりを示す指標(以下、距離指標という)として用いる。

【0040】

ここで、式中の定格電流密度 J_F は、素子耐圧BVと以下のような関係がある

。印加電圧 V_{ak} にて、インパクトイオン化（アバランシェ状態）を起こす電流密度 J_{ii} は、

【0041】

【数8】

$$V_{ak} = 5.3e13 \left(N_D + \frac{J_{ii}}{qv_{sat}} \right)^{-0.75}$$

但し v_{sat} : キャリア飽和速度
 q : 電荷素量
 N_D : 第1導電型ドリフト層の濃度

と表される。この式は、参考文献〔4〕に開示されている。尚、式の $5.3e13$ の表現は、 5.3×10^{13} を意味する。

素子の定格電流密度 J_F は、一般的には余裕を見て、インパクトイオン化を起こす電流密度 J_{ii} の $1/3$ に設定する。即ち、定格電流密度 J_F の3倍以上で、アバランシェ降伏を起こすように設定する。素子耐圧 BV と定格電流密度 J_F の関係は、

【0042】

【数9】

$$BV = 5.3e13 \left(N_D + \frac{3J_F}{qv_{sat}} \right)^{-0.75}$$

但し v_{sat} : キャリア飽和速度

N_D : 第1導電型ドリフト層の濃度

と表される。

つぎに、前記の（4）式を用いて、距離指標 L を具体的に算出する。

例えば、 $BV = 1200V$ （アバランシェ電圧）、 $N_D = 8.4 \times 10^{13} \text{ cm}^{-3}$ 、キャリアの飽和速度 v_{sat} は $1 \times 10^7 \text{ cm/s}$ とすると、上式により、 $J_F = 170 \text{ A/cm}^2$ となり、（4）式にこれらの値を代入すると、距離指標 L は $64 \mu\text{m}$ となる。当然、距離指標 L は、素子耐圧 BV 、定格電流密度 J_F 、不純物濃度 N_D 、飽和速度 v_{sat} に依存する。

【0043】

図6は、この距離指標 L を基準にし、 $p-n$ 接合から n 型バッファ層までの最短距離 X_1 を変化させたときのソフトリカバリーの度合いの変化を示したものである。この図6は、横軸に X_1 と L との割合、縦軸に逆回復電流の電流減少率（逆回復電流減少率 d_{ir}/d_t ）を示している。 d_{ir}/d_t が小さければソフトリカバリーとなる。全体の n 型ドリフト層の厚さは $115\mu m$ である。縦軸は、 X_1 と距離指標 L と同じとき（ $X_1/L=1.0$ の値）の d_{ir}/d_t の値で規格化している。従来品の場合は d_{ir}/d_t の値が大きく、本発明品の約20である。尚、 d_{ir}/d_t の値は、傾斜が最大になる値で定義している。

【0044】

図6に示すように、本発明品のように n 型バッファ層を形成すれば、従来品よりも d_{ir}/d_t を抑制する効果が得られ、本発明品では、その効果が得られる範囲は、 X_1/L は0.3から1.6の範囲である。また、 X_1/L が1のときが最も d_{ir}/d_t が小さくなり、0.8から1.2の範囲であれば d_{ir}/d_t は小さくできて、発振せずにソフトリカバリーにできる。尚、図中の点線は推定値である。

【0045】

本発明品は、 n 型ドリフト層内に n 型バッファ層を含んでいるため、この n 型バッファ層で空間電荷領域の伸びが抑制され、 $p-n$ 接合での電界強度が上昇する。そのため、素子耐圧 BV が減少しないように n 型バッファ層の位置と幅を決める必要がある。

素子耐圧 BV の低下を防止するには、逆バイアス電圧に $BV/2$ の電圧にて空間電荷領域が n 型バッファ層を乗り越えるように設計することである。

【0046】

こうすることで、 n 型バッファ層よりもカソード側の n 型ドリフト層も空乏化することができるため、素子耐圧 BV を従来品と同等にすることができる。本発明品で、逆バイアス電圧が素子耐圧 BV の $1/2$ の電圧にて空間電荷領域が n 型バッファ層を越えるという条件で、算出した n 型バッファ層の幅の値を W とすると、 W は、

【0047】

【数10】

$$\sqrt{X_1^2 + \frac{2\epsilon_s(V_{cc} + V_{PT})}{qN_{D2}}} - X_1 \quad \dots(5)$$

但し X_1 : p n 接合から第1導電型バッファ層までの最短距離
 V_{cc} : 素子耐圧の半値
 V_{PT} : 空乏層が第1導電型バッファ層に接触するときの電圧
 ϵ_s : 半導体の誘電率
 q : 電荷素量
 N_{D2} : 第1導電型バッファ層の平均濃度

と表せる。この式のWをn型バッファ層の幅を示す幅指標として用いる。尚、第1導電型(n型)バッファ層の平均濃度とは、n型バッファ層内で濃度を積分し、n型バッファ層の幅Y1で割った値である。

【0048】

図7は、Y1/Wの値と素子耐圧BVの関係を示した図である。ただし、Y1は実素子でのn型バッファ層の幅である。図の横軸はY1/Wを示し、縦軸は、従来品の素子耐圧BVで規格化してある。図7によれば、Y1/Wが2以上で素子耐圧BVが急激に低下する。従って、Y1/Wの値が2以下になるようにn型バッファ層の幅Y1およびn型バッファ層の濃度 N_{D2} を設定すれば、素子耐圧BVは十分確保できる。

【0049】

図8は、Y1/Wが等しくなるようにした本発明品(Y1/W=1)と従来品における、逆バイアス電圧を印加したときの電界強度分布図である。この図は、印加電圧を1200Vとした。この電圧は、本発明品ではアバランシェを起こす電圧(素子耐圧BV)である。

本発明品(Y1/Wの値が2以下)では、従来品と比べて、電界強度が多少高くなるが、n型バッファ層が空乏化することで、空間電荷領域がn型カソード層に達しており、逆バイアス電圧をn型ドリフト層全域で担っていることが分かる。

【0050】

図9は、図1の不純物プロファイルを示す図である。n型バッファ層3の濃度が階段状の場合が実線で傾斜した場合は点線で示した。図の濃度は、p型アノード層1の領域はp型不純物の濃度であり、第1のn型ドリフト層2、n型バッファ層3、第2のn型ドリフト層4およびn型カソード層5の領域の濃度はn型不純物の濃度である。

【0051】

階段状の不純物プロファイルは、エピタキシャル成長で、比較的熱処理温度を低くして形成した場合に得られ、点線で示す傾斜した不純物プロファイルは、エピタキシャル成長で形成するとき、熱処理温度が高く、処理時間を長くする場合や、イオン注入や熱拡散で形成する場合に得られる。傾斜したプロファイルの場合でも、平均濃度を用いることで、前記の(5)式を適用することができる。

【0052】

図10は、この発明の第2実施例の半導体装置の要部断面図である。図1との違いは、n型バッファ層3を選択的に複数個形成している点である。n型バッファ層3を含む不純物プロファイルは、図9の点線と同じである。このn型バッファ層3の形状については、後述の図13から図23の実施例で説明する。

n型バッファ層3の間に挟まれた第2のn型ドリフト層4は高比抵抗であるために、空乏層が広がりやすくなり、耐圧の確保が容易にできる。この構造は、エピ成長を2回に分け、1回目のn型ドリフト層(第2のn型ドリフト層4)形成後に、例えばP(リン)を選択的にイオン注入かつ熱処理することでn型バッファ層3の形成の後、第1のn型ドリフト層2をエピ成長させる。つまり、n型バッファ層3を選択的なイオン注入と熱処理で形成する。

【0053】

この場合も、 $X1/L$ および $Y1/W$ の値を第1実施例と同じにすることで、第1実施例と同様の効果が期待できるが、素子耐圧BVに関しては、n型バッファ層3の間に挟まれた第2のn型ドリフト層4で空乏層が広がり易くなるために、図1より高くできる。

図11は、この発明の第3実施例の半導体装置であり、同図(a)は要部断面図、同図(b)は不純物プロファイルである。図2との違いは、複数個のn型バ

ッファ層を濃度の異なる領域で構成し、しかもそれらのn型バッファ層を互いに隣接させた点である。n型バッファ層は高濃度のn型バッファ層31と低濃度のn型バッファ層32で構成され、それらの不純物プロファイルは、図では階段状にしたが、傾斜させる場合もある。

【0054】

この場合も、 $X1/L$ および $Y1/W$ の値を第1実施例と同じにすることで、第1実施例と同様の効果が期待できるが、素子耐圧BVに関しては、図1と図10の中間的な値となる。

図12は、この発明の第4実施例の半導体装置であり、同図(a)は要部断面図、同図(b)は不純物プロファイルである。

【0055】

図1との違いは、n型ドリフト層の濃度を、アノード側とカソード側で分け、カソード側の第2のn型ドリフト層4を、アノード側の第1のドリフト層2より高濃度にする。言い換えると、アノード側の第1のn型ドリフト層2を、カソード側の第2のn型ドリフト層4を高比抵抗にする。n型バッファ層3の不純物プロファイルは、実線で示すように階段状の場合と、点線で示すように傾斜させる場合がある。

【0056】

このようにすると、第1のn型ドリフト層2とn型バッファ層3で広がった空間電荷領域を第2のn型ドリフト層4の効果的に止めることができ、図1と比

較して、 $X1/L$ および $Y1/W$ の値を第1実施例と同じにすることで、第1実施例と同様の効果が期待できる。

尚、n型バッファ層3が、図10や図11のように複数個となっても構わない。

【0057】

図13は、図10のn型バッファ層の形状を説明する半導体装置の斜視図で、同図(a)はドット(島状)の場合、同図(b)はストライプの場合である。

図中の3aはドット状をしたn型バッファ層であり、3bはストライプ状のn型バッファ層である。

どちらの場合も $X1/W$ および $Y1/L$ の範囲を図 6、図 7 で説明した範囲に設定することで、耐圧を確保しながら、高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる。尚、3 a はドット状をした n 型バッファ層で 3 b はストライプ状の n 型バッファ層である。

【0058】

図 1 4 は、この発明の第 5 実施例で、MPS 構造のダイオードのドリフト層に第 1 実施例の n 型バッファ層を適用した半導体装置の要部斜視図であり、同図 (a) は MPS 構造がドットの場合、同図 (b) は MPS 構造がストライプの場合である。図中の 1 a は p 型アノード層で、この p 型アノード層に挟まれた第 1 のドリフト層 2 表面とアノード電極 6 の接合部は、ショットキー接合となっている。

【0059】

MPS 構造により、アノード側からの少数キャリアが図 1 の場合より減少することでソフトリカバリー化が一層図られる。従って、 $X1/W$ および $Y1/L$ の範囲を図 6、図 7 で説明した範囲に設定することで、耐圧を確保しながら、第 1 実施例より高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる。

【0060】

図 1 5 は、この発明の第 6 実施例で、MPS 構造のダイオードのドリフト層に第 2 実施例のドット状の n 型バッファ層を適用した半導体装置の要部斜視図であり、同図 (a) は MPS 構造がドットの場合、同図 (b) は MPS 構造がストライプの場合である。

MPS 構造により、アノード側からの少数キャリアが図 1 0 の場合より減少することでソフトリカバリー化が一層図られる。従って、 $X1/W$ および $Y1/L$ の範囲を図 6、図 7 で説明した範囲に設定することで、耐圧を確保しながら、第 2 実施例より高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる。

【0061】

図 1 6 から図 1 8 は、この発明の第 7 実施例で、MPS 構造のダイオードのド

リフト層に第2実施例のストライプ状のn型バッファ層を適用した半導体装置の要部斜視図であり、図16はMPS構造がドットの場合、図17はn型バッファ層のストライプとMPS構造がストライプが平行する場合、図18はn型バッファ層のストライプとMPS構造がストライプが直交する場合である。尚、図18で必ずしも直交せず、所定の角度をもって交差しても構わない。

【0062】

MPS構造により、アノード側からの少数キャリアが図10の場合より減少することでソフトリカバリー化が一層図られる。従って、 $X1/W$ および $Y1/L$ の範囲を図6、図7で説明した範囲に設定することで、耐圧を確保しながら、第2実施例より高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる

以下の実施例では、前記のMPS構造のショットキー接合の代わりに薄い p^- 層（薄層のp型アノード層1c）を形成したSFD構造のダイオードのドリフト層に、前記の実施例のn型バッファ層を形成した半導体装置の場合である。この p^- 層の製造方法について説明する。アノード電極として、p型アクセプタとなる元素、例えばAlと、半導体基板の元素、例えばSiを含む金属、Al-3% SiもしくはAl-5% Si-0.5% Cu等をスパッタや真空蒸着にて形成する。その後、水素や窒素雰囲気にて熱処理をする。例えばSiを含むAl金属でショットキーバリアを形成すると、表層にごく浅いp層を形成することができ、Alのみよりもバリアを高くできる。これは、Al-Si金属がSiを数%含んでいるため、熱処理時にSi表層にエピタキシャルな再成長層を形成でき、その層にAlをアクセプタとして含んでいるためである。熱処理温度とエピタキシャル再成長層の厚さが増加するので実効的なショットキーバリア高さもそれに伴い増加する。熱処理の温度は400℃から500℃程度である。また実際にSIMS等で観測したところ約120Åの厚さでエピタキシャルな再成長層が形成され、それが約 10^{17} cm^{-3} のAl（アクセプタ）を含む p^- 層となっていること確認した。この薄い p^- 層が形成されたショットキー接合の障壁高さは、この p^- 層がない場合と比べて、10%程高くなり、漏れ電流が小さくなる。また、 p^- 層があるために、オン電圧が低減され、高速化・低損失化とソフトリカバリー化の間の

トレードオフが改善できる。

【0063】

以下にこの薄い p^- 層が形成されたショットキー接合を有するSFD構造のダイオードに本発明を適用した実施例について説明する。

図19は、この発明の第8実施例で、SFD構造のダイオードのドリフト層に第1実施例の n 型バッファ層を適用した半導体装置の要部斜視図であり、同図(a)はSFD構造がドットの場合、同図(b)はSFD構造がストライプの場合である。

【0064】

SFD構造により、アノード側からの少数キャリアが図1の場合より減少することでソフトリカバリー化が一層図られる。従って、 $X1/W$ および $Y1/L$ の範囲を図6、図7で説明した範囲に設定することで、耐圧を確保しながら、第1実施例より高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる。

【0065】

図20は、この発明の第9実施例で、SFD構造のダイオードのドリフト層に第2実施例のドット状の n 型バッファ層を適用した半導体装置の要部斜視図であり、同図(a)はSFD構造がドットの場合、同図(b)はSFD構造がストライプの場合である。

SFD構造により、アノード側からの少数キャリアが図10の場合より減少することでソフトリカバリー化が一層図られる。従って、 $X1/W$ および $Y1/L$ の範囲を図6、図7で説明した範囲に設定することで、耐圧を確保しながら、第2実施例より高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる。

【0066】

図21から図23は、この発明の第10実施例で、SFD構造のダイオードのドリフト層に第2実施例のストライプ状の n 型バッファ層を適用した半導体装置の要部斜視図であり、図21はSFD構造がドットの場合、図22は n 型バッファ層のストライプとSFD構造がストライプが平行する場合、図23は n 型バッ

ファ層のストライプとSFD構造がストライプが直交する場合である。尚、図23で必ずしも直交せず、所定の角度をもって交差しても構わない。

【0067】

SFD構造により、アノード側からの少数キャリアが図10の場合より減少することでソフトリカバリー化が一層図られる。従って、 $X1/W$ および $Y1/L$ の範囲を図6、図7で説明した範囲に設定することで、耐圧を確保しながら、第2実施例より高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる。

【0068】

図24は、この発明の第11実施例で、n型バッファ層をトレンチ溝の底部に形成した半導体装置であり、同図(a)はアノード側にトレンチを形成した場合、同図(b)はカソード側にトレンチを形成した場合である。

この構造は、トレンチ9を掘り、その底にn型バッファ層3を形成し、その後トレンチ9は酸化膜で埋め込んで形成される。このようにトレンチ9を掘ることで、エピ成長させることなく、n型バッファ層3をn型ドリフト層8内に形成することができる。

【0069】

この場合も、 $X1/W$ および $Y1/L$ の範囲を図8-図6、図9-図7で説明した範囲に設定することで、耐圧を確保しながら、第2実施例と同等の高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる。

さらに、図示しないが、サイリスタや、MOSFETの寄生ダイオードのドリフト層（高比抵抗層）に、前記のバッファ層を形成することにより、高速化とソフトリカバリー化の間のトレードオフを改善することができる。

【0070】

図26は、この発明の第12実施例の半導体装置の要部断面図である。

図1との違いは、n型カソード層5をイオン注入で形成し、その厚さが、図1の場合の数十 μm に対して、1 μm 以下と極めて薄くした点である。このように、n型カソード層5を薄く形成することで、ライフタイムキラーの導入を抑制しても、耐圧を確保しながら、図1よりもさらに、高速化・低損失化とソフトリカ

バリー化の間のトレードオフを改善することができる。

【0071】

図27から図35は、この発明の第13実施例の半導体装置の製造方法で、工程順に示した要部製造工程断面図である。この図は、第12実施例の半導体装置（図26）の製造方法である。

例えば、比抵抗が $55\Omega\text{-cm}$ のバルクウェハ42（例えば、FZウェハ：フローティング・ゾーン法で製作したウェハ）で、後で、第2のn型ドリフト層4となる）の表面に 1×10^{14} から $1\times 10^{15}\text{cm}^{-2}$ のリンやAsなどのn型不純物102のイオン注入101を行い（図27）、その後、熱処理を施し、 n^- バルク（バルクウェハ42）の濃度より濃いn型バッファ層3を形成する。このときのn型バッファ層3の厚さは $5\mu\text{m}$ 程度とする（図28）。次に、リンを混入し、 $55\Omega\text{-cm}$ で約 $60\mu\text{m}$ の膜厚のエピタキシャル成長結晶48（エピタキシャル成長させた単結晶で、後で、第1のn型ドリフト層2となる）を形成する（図29）。その後、表面の鏡面処理等を施し、熱酸化膜を形成して、パターンニング後、イオン注入および熱拡散を行い、 $5\mu\text{m}$ 程度のp型アノード層1を形成する（図30）。その後、Al-Siをスパッタで成膜・パターン形成を行い、アノード電極6を形成する（図31）。さらに図示しない窒化膜などの保護膜を成膜後にバックグラインド103を行い、全体の厚さが $120\mu\text{m}$ 程度になるまで行う（図32）。さらにリンなどのn型不純物105のイオン注入104を実施し（図33）、アノード電極6を形成するAl-Si膜の膜質が変質しない温度（例えば、 400°C 程度）の低温アニールを行い、不純物濃度が $1\times 10^{17}\text{cm}^{-3}$ 以上で、拡散深さが $0.5\mu\text{m}$ 程度のn型バッファ層3を形成する（図34）。最後に、裏面側のカソード電極7を形成する（図35）。

【0072】

この製造方法では、FZウェハであるバルクウェハ49の上に、一回のエピタキシャル成長結晶48を形成した半導体基板100を用いることで、製造コストを大幅に低減することができる。

また、この製造方法を第1実施例から第11実施例の半導体装置に適用することで、製造コストの低減効果を付加することができる。

【0073】

【発明の効果】

この発明により、n型ドリフト層内に、所定の位置で所定の厚みのn型バッファ層を形成することで、n型ドリフト層を薄くしても、ソフトリカバリー化することができて、耐圧を確保しながら、高速化・低損失化とソフトリカバリー化の間のトレードオフを改善することができる。

【0074】

また、ソフトリカバリー化を図ることで、放射電磁ノイズが発生し難い半導体装置にすることができる。

さらに、バルクウェハ（例えば、FZウェハ）を用い、エピタキシャル成長の回数を一回とすることで、低コストの半導体装置を製造することができる。

参考文献

- [1] B.J.Baliga, "The Pinch Rectifier," IEEE Electron. Dev. Lett., ED-5, pp194, 1984.
- [2] M. Mori, et. al., "A Novel Soft and Fast Recovery Diode (SFD) with Thin P-layer Formed by Al-Si Electrode," Proceedings of ISPSD'91, pp113-117, 1991.
- [3] M. Nemoto, et. al., "An Advanced FWD Design Concept with Superior Soft Reverse Recovery Characteristics," Proceedings of ISPSD2000, pp119-122, 2000.
- Power Semiconductor Devices, PWS Publishing Company, 1996.

【図面の簡単な説明】

【図1】

この発明の第1実施例の半導体装置の要部断面図

【図2】

本発明のpinダイオード（本発明品）と、従来のpinダイオード（従来品）との室温における逆回復波形を示す図

【図3】

図 2 の逆回復動作において、本発明品の逆回復時におけるキャリア濃度の変化をデバイスシミュレーションにより計算したもので、(a) は電子濃度、(b) は正孔濃度を示す図

【図 4】

図 2 の逆回復動作において、 $115\mu\text{m}$ (B) の従来品における逆回復時のキャリア濃度の変化をデバイスシミュレーションにより計算したもので、(a) は電子濃度、(b) は正孔濃度を示す図

【図 5】

本発明品 (A) において、p 型アノード層と n 型ドリフト層の p n 接合から n 型バッファ層までの最短距離 X 1 をパラメータとした逆回復電圧・電流波形の比較図

【図 6】

距離指標 L を基準にし、p n 接合から n 型バッファ層までの最短距離 X 1 を変化させたときのソフトリカバリーの度合いの変化を示した図

【図 7】

$Y1/W$ の値と素子耐圧 BV の関係を示した図

【図 8】

$Y1/W$ が等しい本発明品 ($Y1/W=1$) と従来品における、逆バイアス電圧を印加したときの電界強度分布図

【図 9】

図 1 の不純物プロファイルを示す図

【図 10】

この発明の第 2 実施例の半導体装置の要部断面図

【図 11】

この発明の第 3 実施例の半導体装置であり、(a) は要部断面図、(b) は不純物プロファイル図

【図 12】

この発明の第 4 実施例の半導体装置であり、(a) は要部断面図、(b) は不純物プロファイル図

【図 1 3】

図 1 0 の n 型バッファ層の形状を説明する半導体装置の斜視図で、(a) はドット（島状）の場合、(b) はストライプの場合の図

【図 1 4】

この発明の第 5 実施例で、M P S 構造のダイオードのドリフト層に第 1 実施例の n 型バッファ層を適用した半導体装置の要部斜視図であり、(a) は M P S 構造がドットの場合、(b) は M P S 構造がストライプの場合の図

【図 1 5】

この発明の第 6 実施例で、M P S 構造のダイオードのドリフト層に第 2 実施例のドット状の n 型バッファ層を適用した半導体装置の要部斜視図であり、(a) は M P S 構造がドットの場合、(b) は M P S 構造がストライプの場合の図

【図 1 6】

この発明の第 7 実施例で、M P S 構造のダイオードのドリフト層に第 2 実施例のストライプ状の n 型バッファ層を適用した半導体装置の要部斜視図であり、M P S 構造がドットの場合の図

【図 1 7】

この発明の第 7 実施例で、M P S 構造のダイオードのドリフト層に第 2 実施例のストライプ状の n 型バッファ層を適用した半導体装置の要部斜視図であり、n 型バッファ層のストライプと M P S 構造がストライプが平行する場合の図

【図 1 8】

この発明の第 7 実施例で、M P S 構造のダイオードのドリフト層に第 2 実施例のストライプ状の n 型バッファ層を適用した半導体装置の要部斜視図であり、n 型バッファ層のストライプと M P S 構造がストライプが直交する場合の図

【図 1 9】

この発明の第 8 実施例で、S P D 構造のダイオードのドリフト層に第 1 実施例の n 型バッファ層を適用した半導体装置の要部斜視図であり、(a) は S P D 構造がドットの場合、(b) は S P D 構造がストライプの場合の図

【図 2 0】

この発明の第 9 実施例で、S P D 構造のダイオードのドリフト層に第 2 実施例

のドット状のn型バッファ層を適用した半導体装置の要部斜視図であり、(a)はSPD構造がドットの場合、(b)はSPD構造がストライプの場合の図

【図 2 1】

この発明の第10実施例で、SPD構造のダイオードのドリフト層に第2実施例のストライプ状のn型バッファ層を適用した半導体装置の要部斜視図であり、SPD構造がドットの場合の図

【図 2 2】

この発明の第10実施例で、SPD構造のダイオードのドリフト層に第2実施例のストライプ状のn型バッファ層を適用した半導体装置の要部斜視図であり、n型バッファ層のストライプとSPD構造がストライプが平行する場合の図

【図 2 3】

この発明の第10実施例で、SPD構造のダイオードのドリフト層に第2実施例のストライプ状のn型バッファ層を適用した半導体装置の要部斜視図であり、n型バッファ層のストライプとSPD構造がストライプが直交する場合の図

【図 2 4】

この発明の第11実施例で、n型バッファ層をトレンチ溝の底部に形成した半導体装置であり、(a)はアノード側にトレンチを形成した場合、(b)はカソード側にトレンチを形成した場合の図

【図 2 5】

従来のpinダイオードの要部断面図

【図 2 6】

この発明の第12実施例の半導体装置の要部断面図

【図 2 7】

この発明の第13実施例の半導体装置の要部製造工程断面図

【図 2 8】

図27に続く、この発明の第13実施例の半導体装置の要部製造工程断面図

【図 2 9】

図28に続く、この発明の第13実施例の半導体装置の要部製造工程断面図

【図 3 0】

図 2 9 に続く、この発明の第 1 3 実施例の半導体装置の要部製造工程断面図

【図 3 1】

図 3 0 に続く、この発明の第 1 3 実施例の半導体装置の要部製造工程断面図

【図 3 2】

図 3 1 に続く、この発明の第 1 3 実施例の半導体装置の要部製造工程断面図

【図 3 3】

図 3 2 に続く、この発明の第 1 3 実施例の半導体装置の要部製造工程断面図

【図 3 4】

図 3 3 に続く、この発明の第 1 3 実施例の半導体装置の要部製造工程断面図

【図 3 5】

図 3 4 に続く、この発明の第 1 3 実施例の半導体装置の要部製造工程断面図

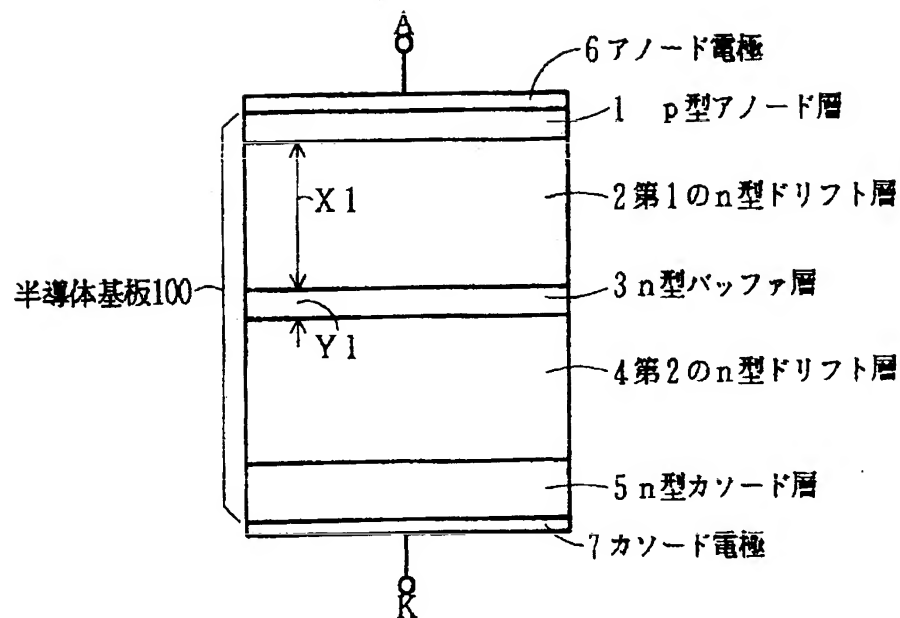
【符号の説明】

- 1 p 型アノード層
- 1 a p 型アノード層（ドット）
- 1 b p 型アノード層（ストライプ）
- 1 c p 型アノード層（薄層）
- 2 第 1 の n 型ドリフト層
- 3 n 型バッファ層
- 3 a n 型バッファ層（ドット）
- 3 b n 型バッファ層（ストライプ）
- 4 第 2 の n 型ドリフト層
- 5 n 型カソード層
- 6 アノード電極
- 7 カソード電極
- 8 n 型ドリフト層
- 9 トレンチ
- 3 1 n 型バッファ層（高濃度）
- 3 2 n 型バッファ層（低濃度）
- 4 1 エピタキシャル成長結晶

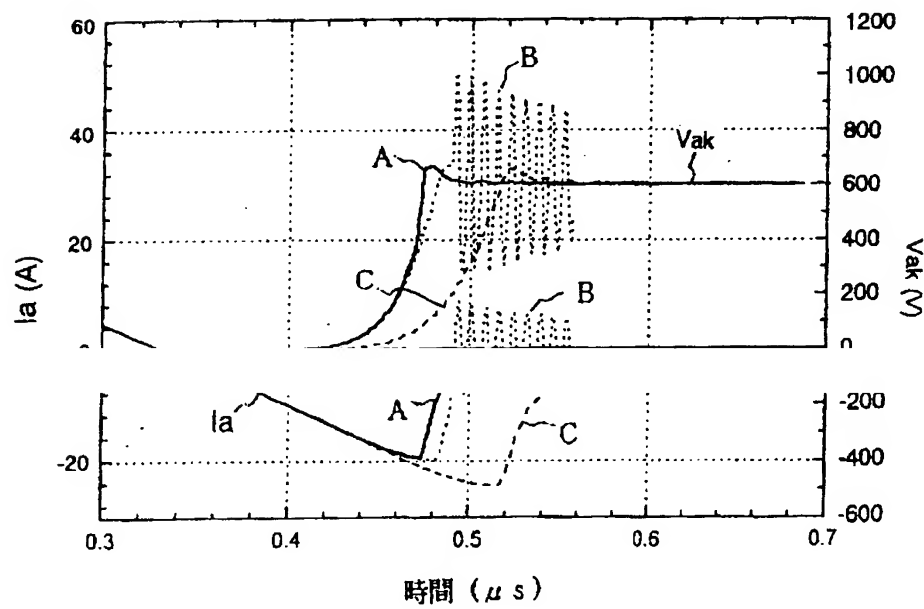
- 4 2 バルクウェハ
- 1 0 0 半導体基板
- 1 0 1、1 0 4 イオン注入
- 1 0 2、1 0 5 n型不純物
- 1 0 3 バックグラインド
 - X 1 p n 接合から n 型バッファ層までの最短距離
 - Y 1 n 型バッファ層の幅
 - A アノード端子
 - K カソード端子

【書類名】 図面

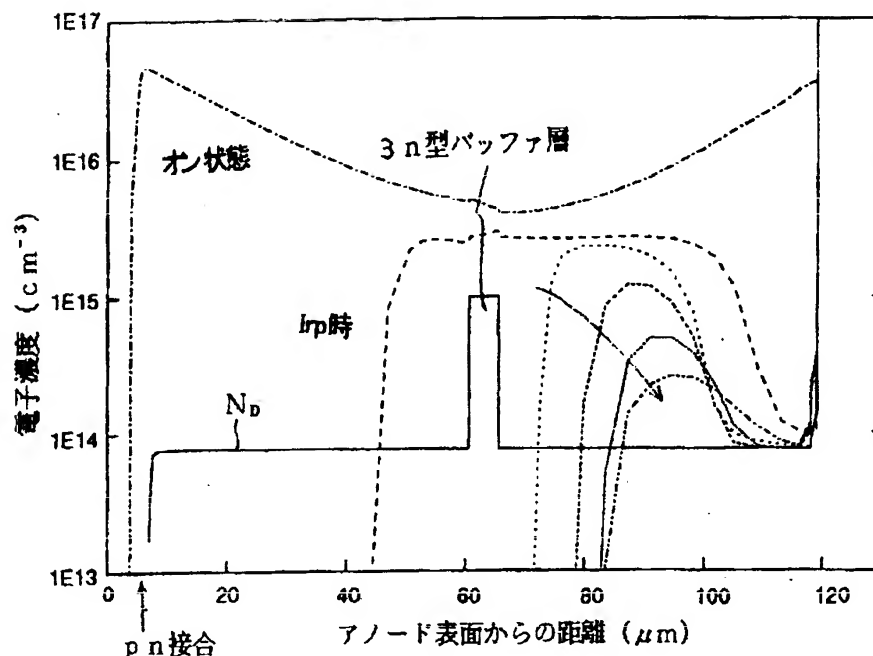
【図1】



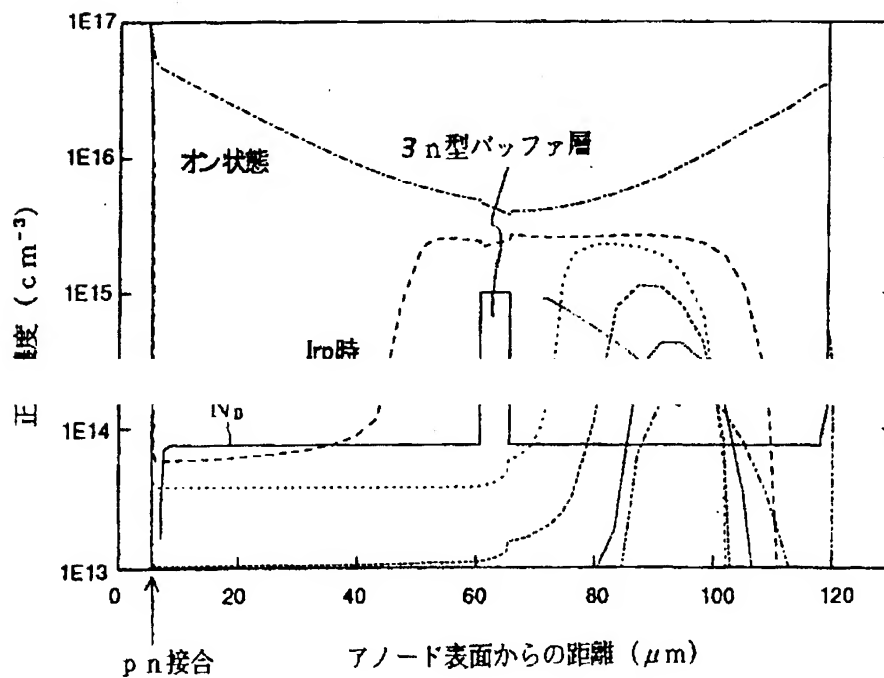
【図2】



【図3】

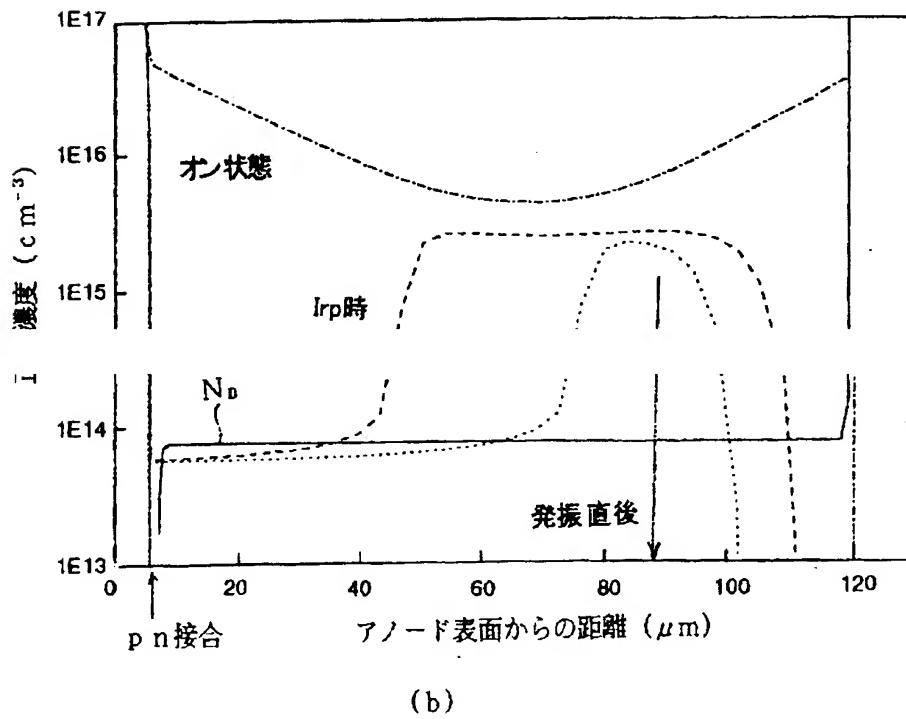
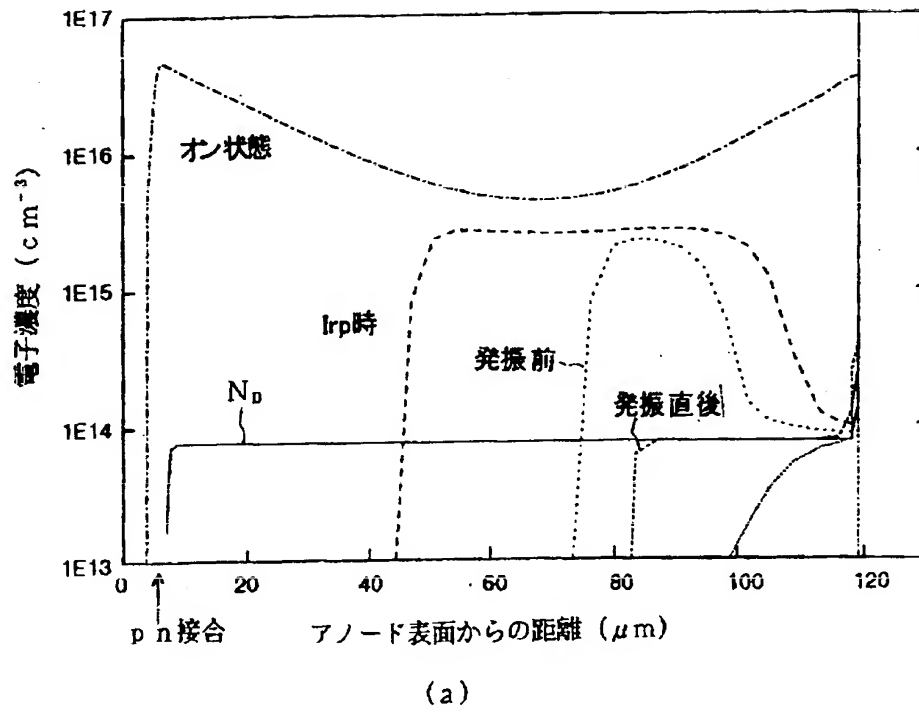


(a)

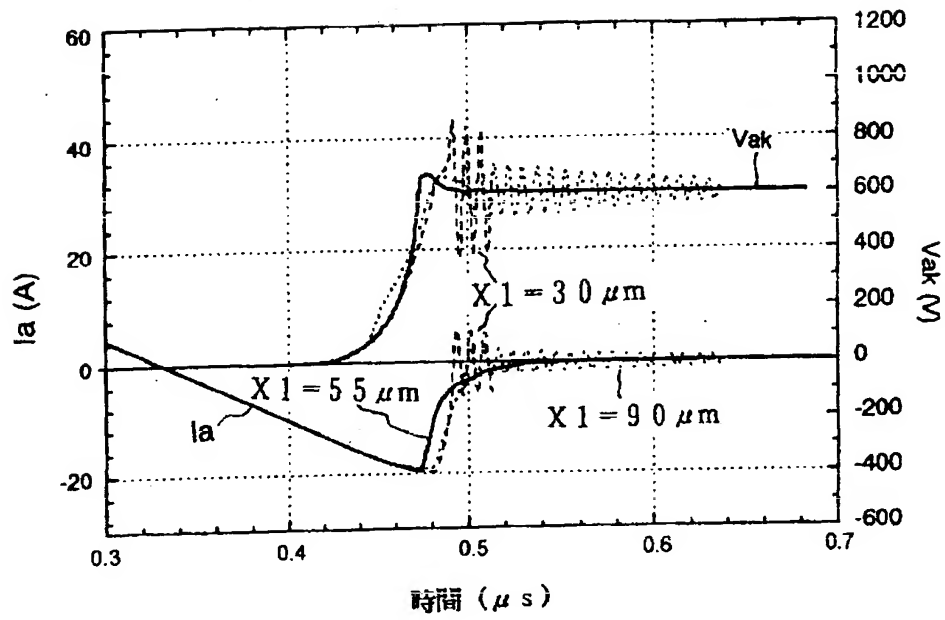


(b)

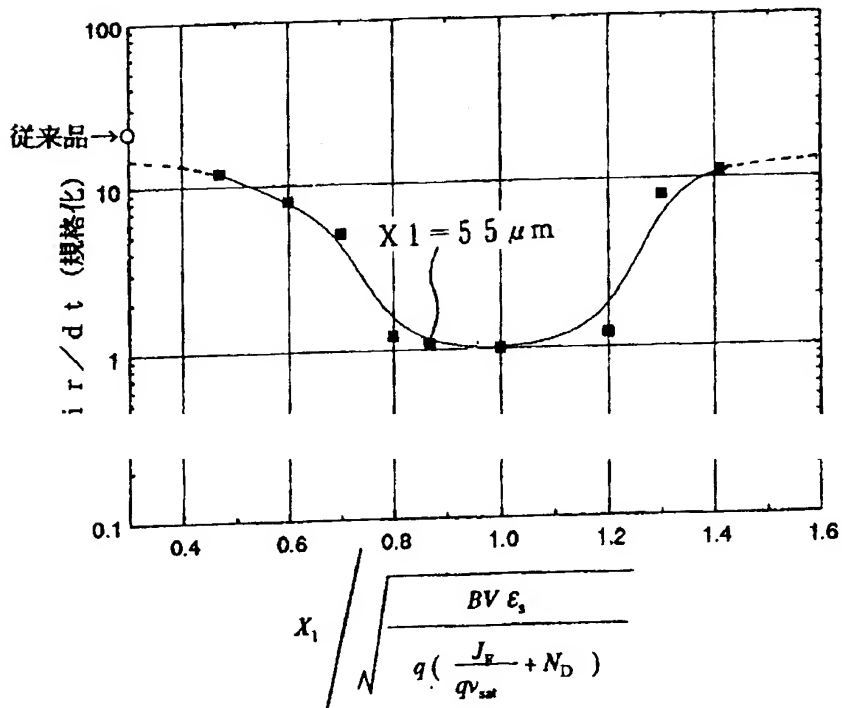
【図4】



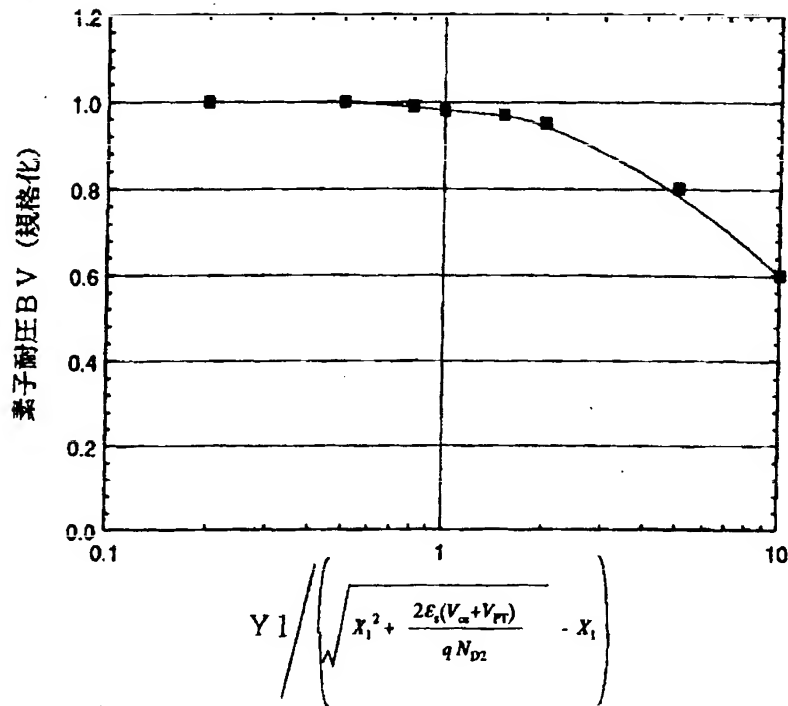
【図5】



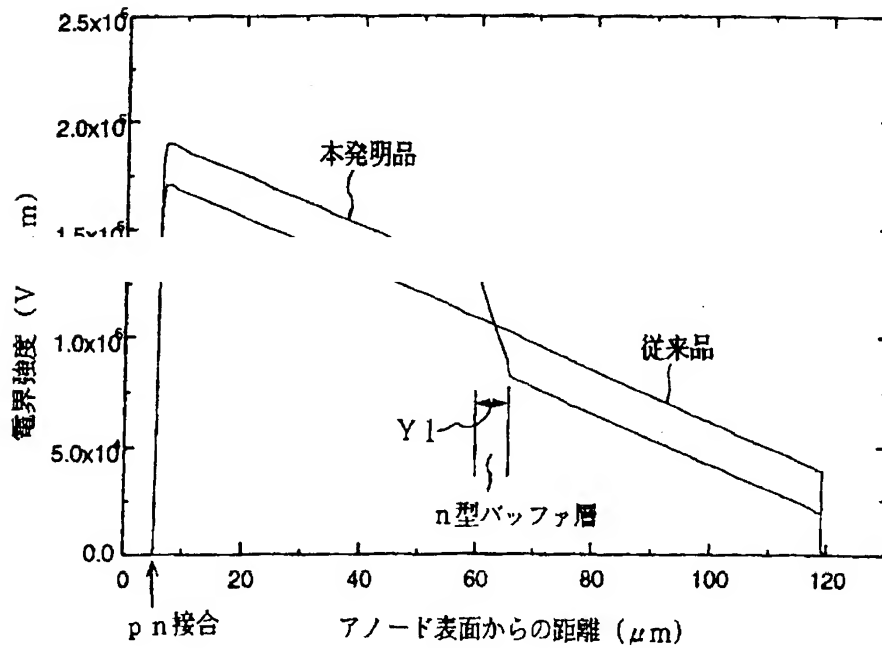
【図6】



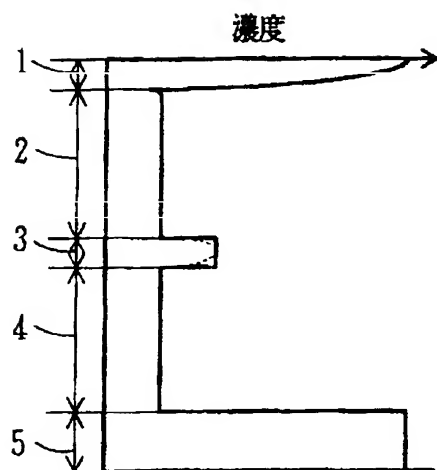
【図7】



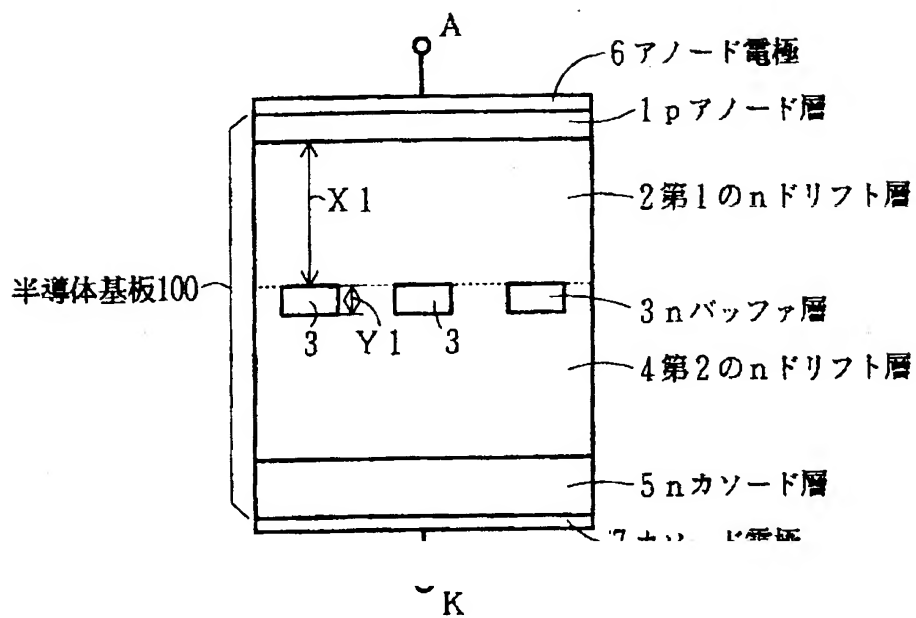
【図8】



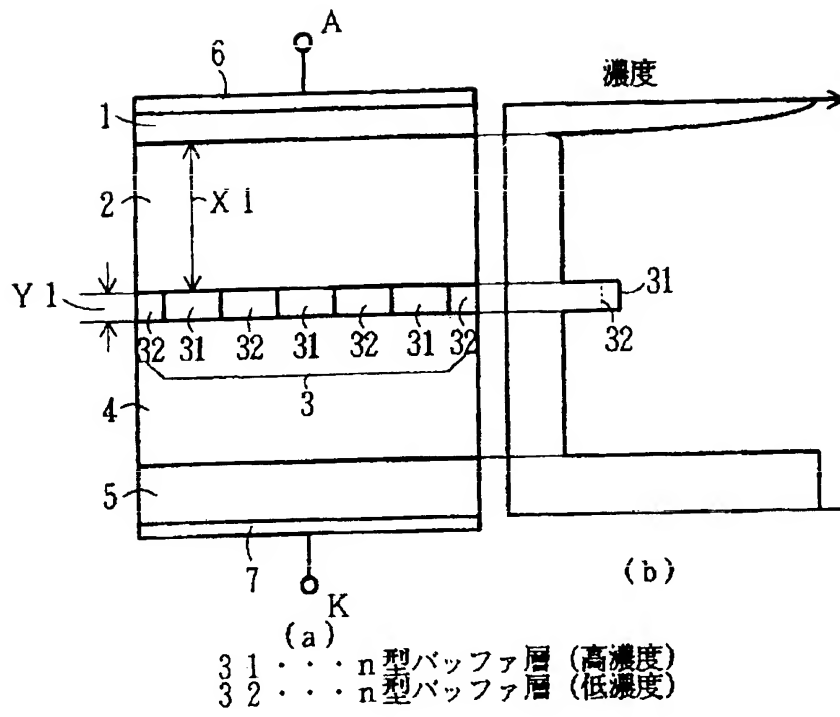
【図9】



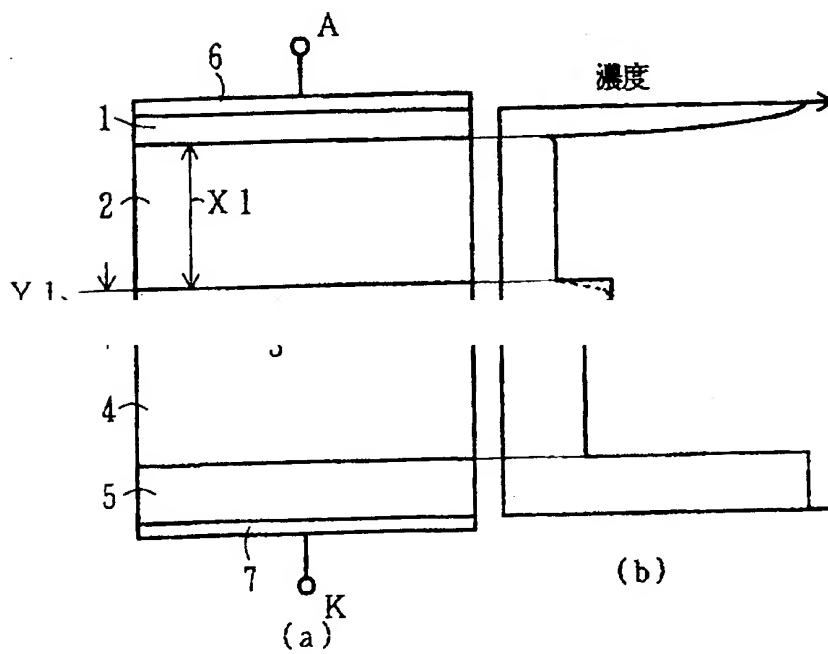
【図10】



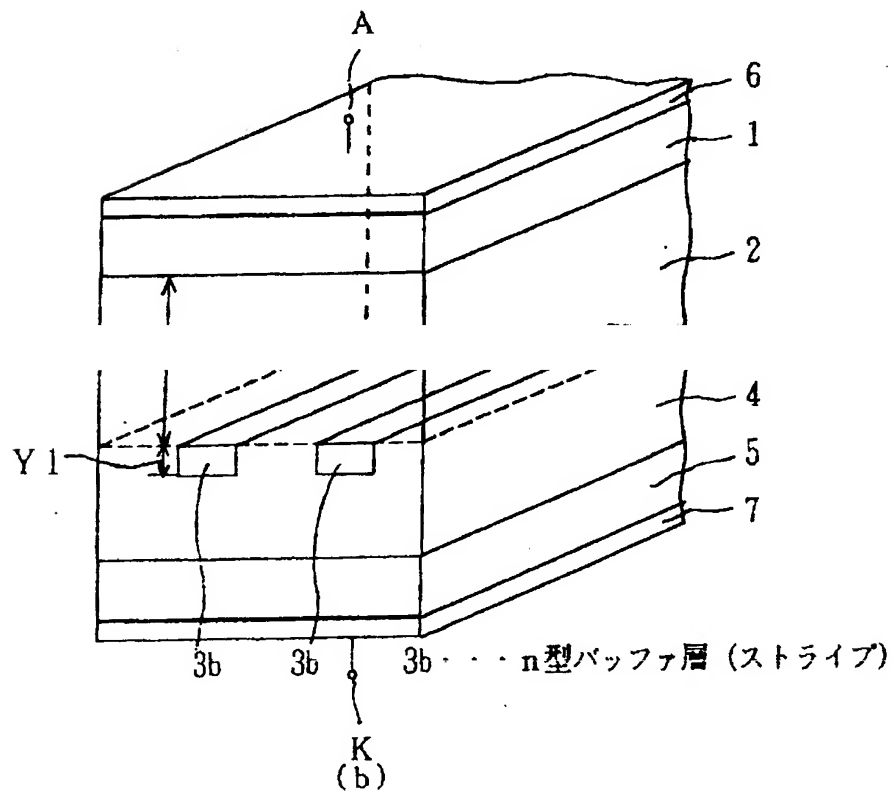
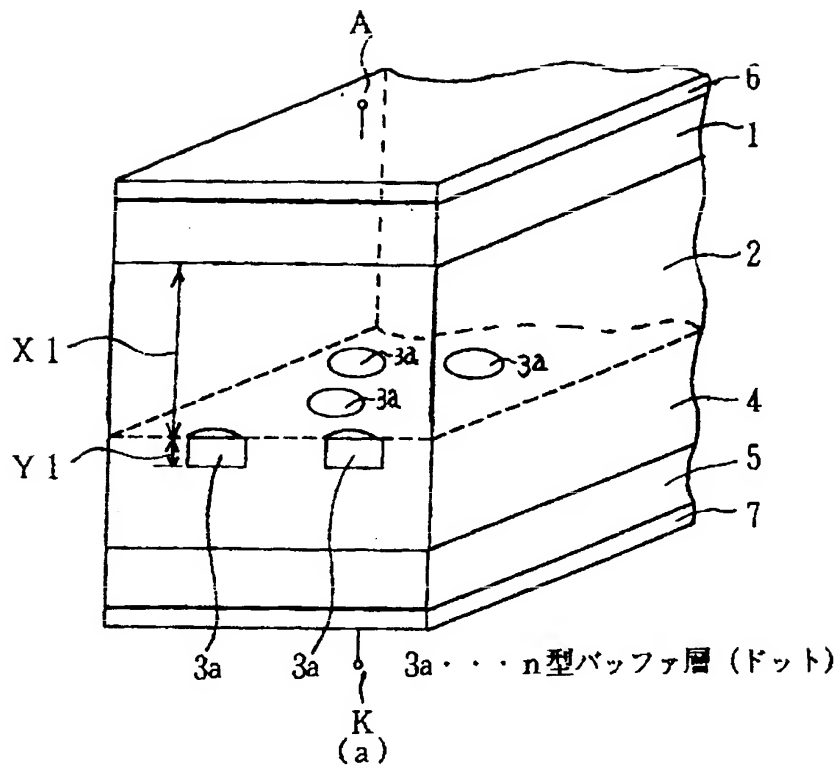
【図11】



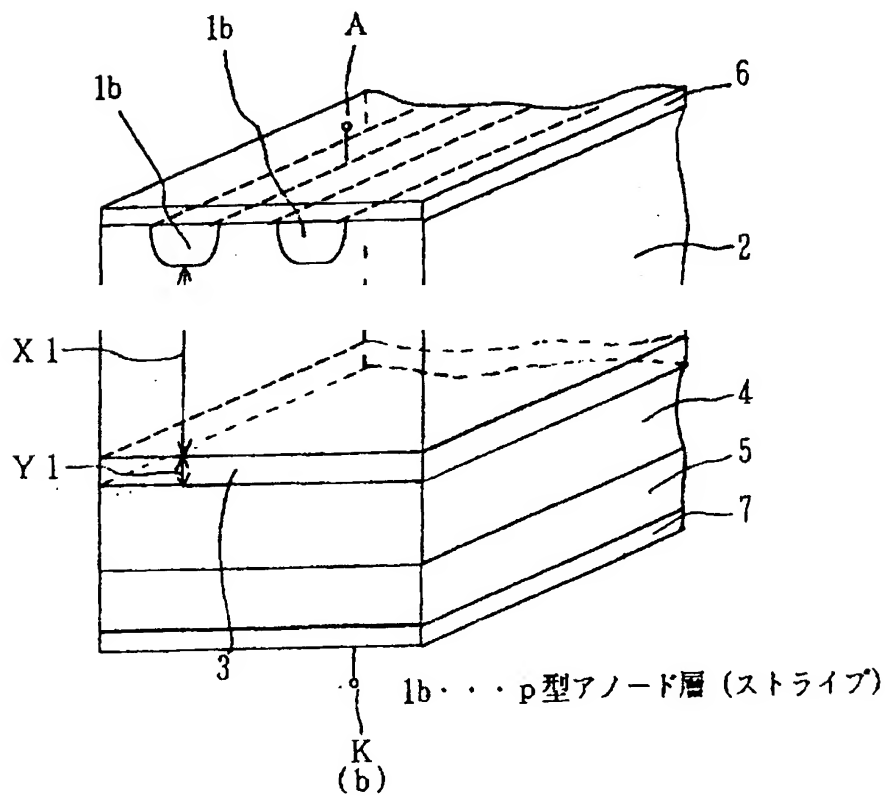
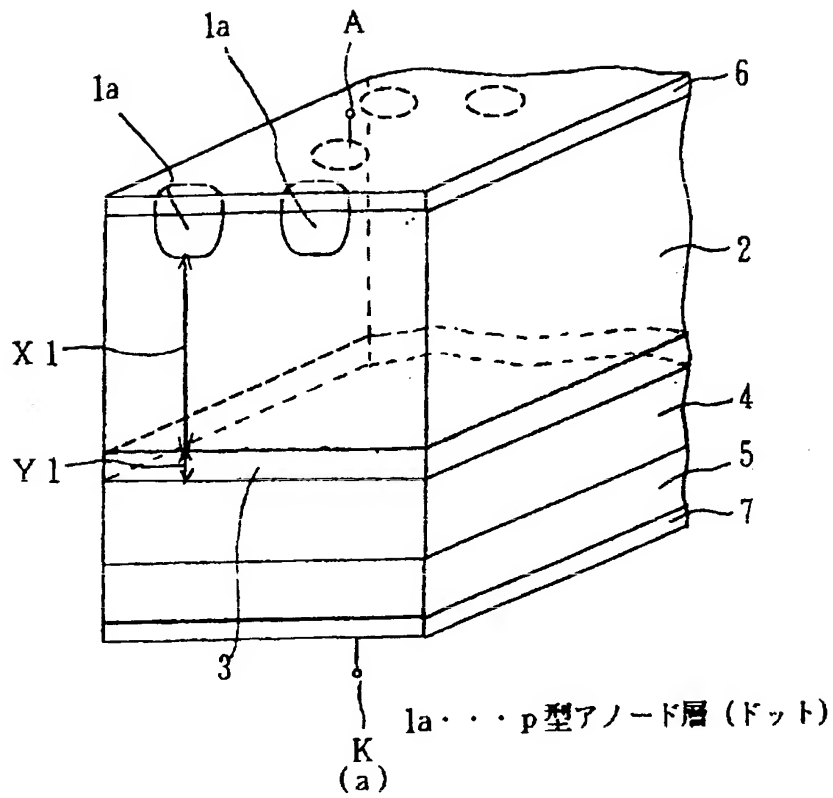
【図12】



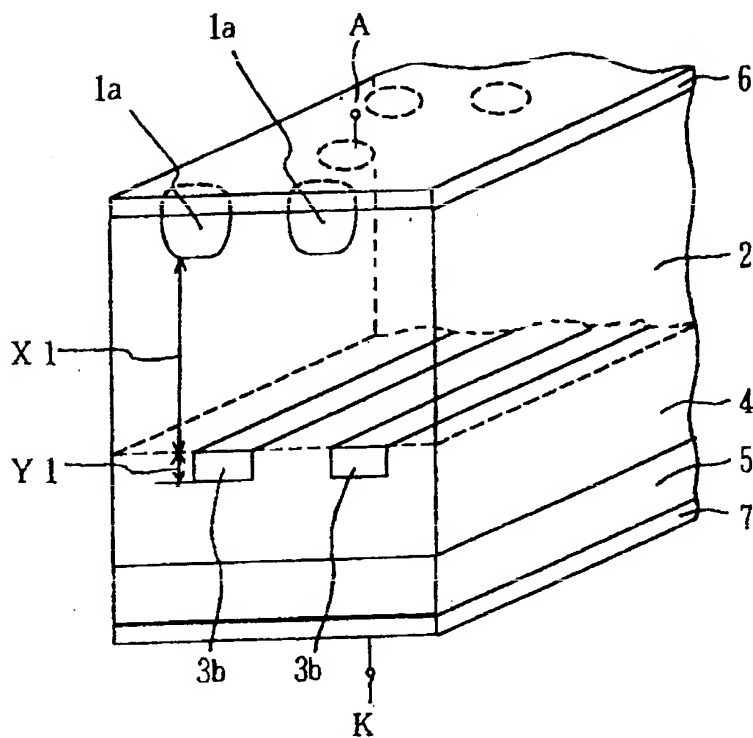
【図13】



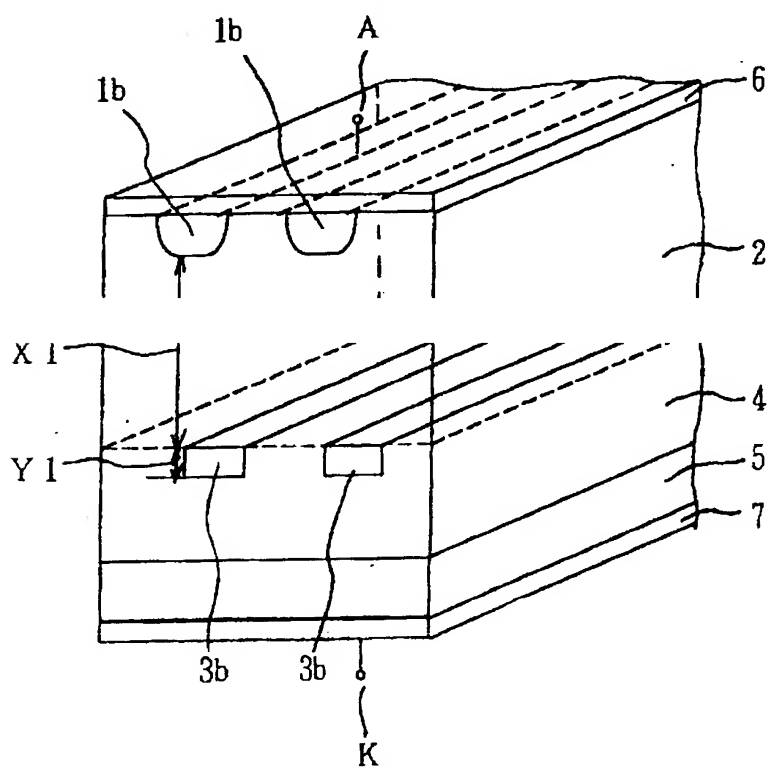
【図14】



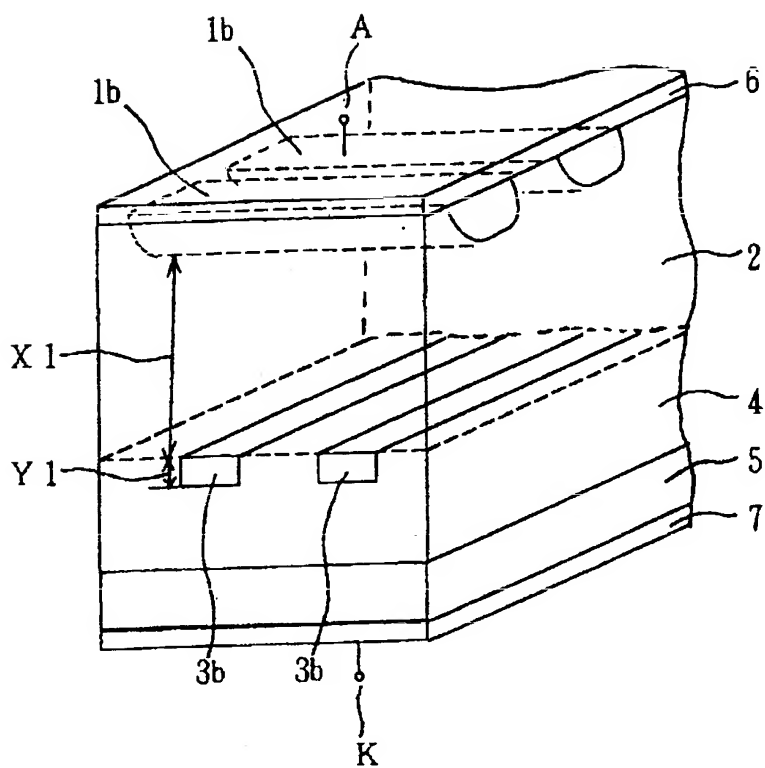
【図16】



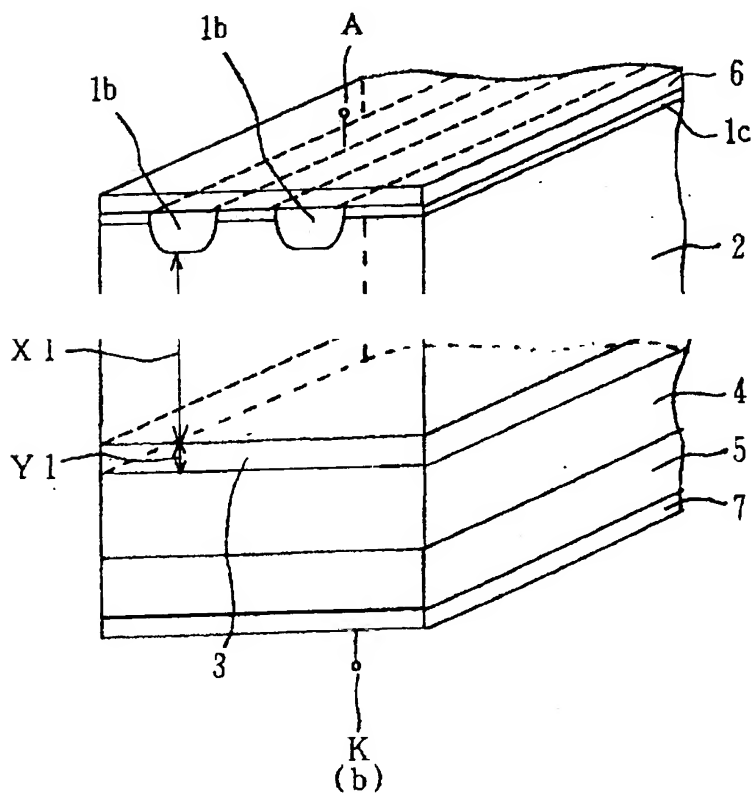
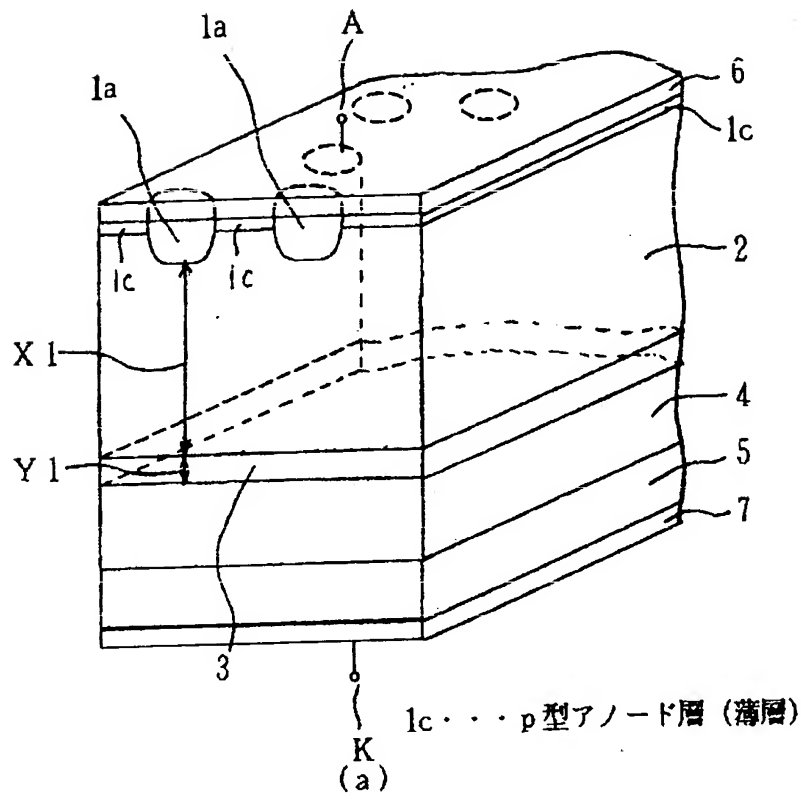
【図17】



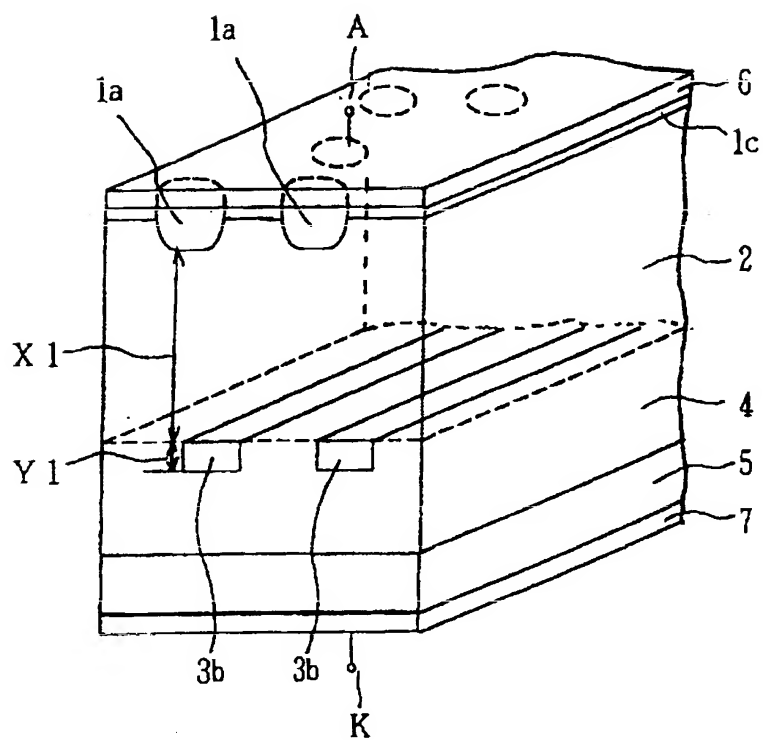
【図18】



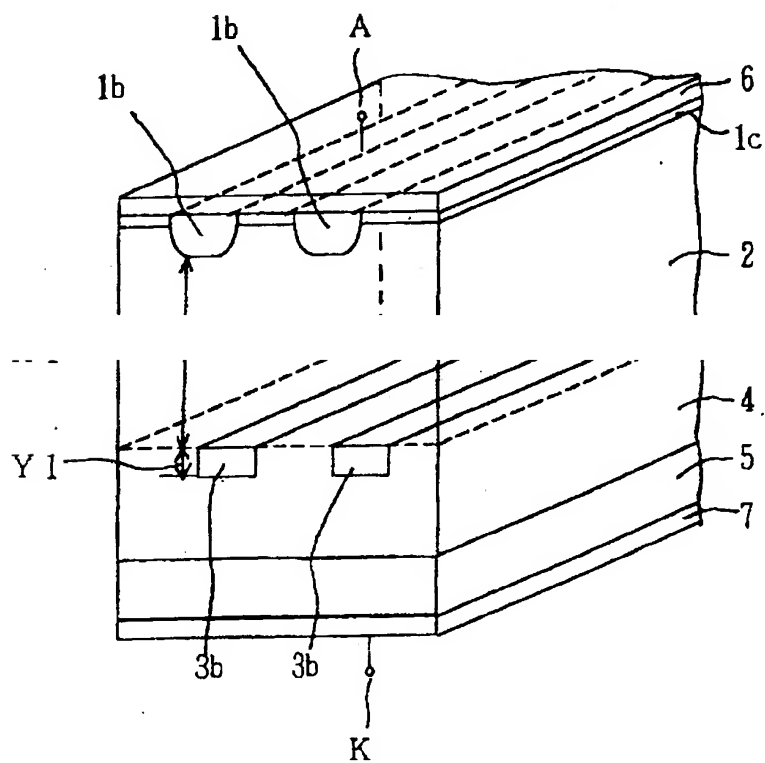
【図19】



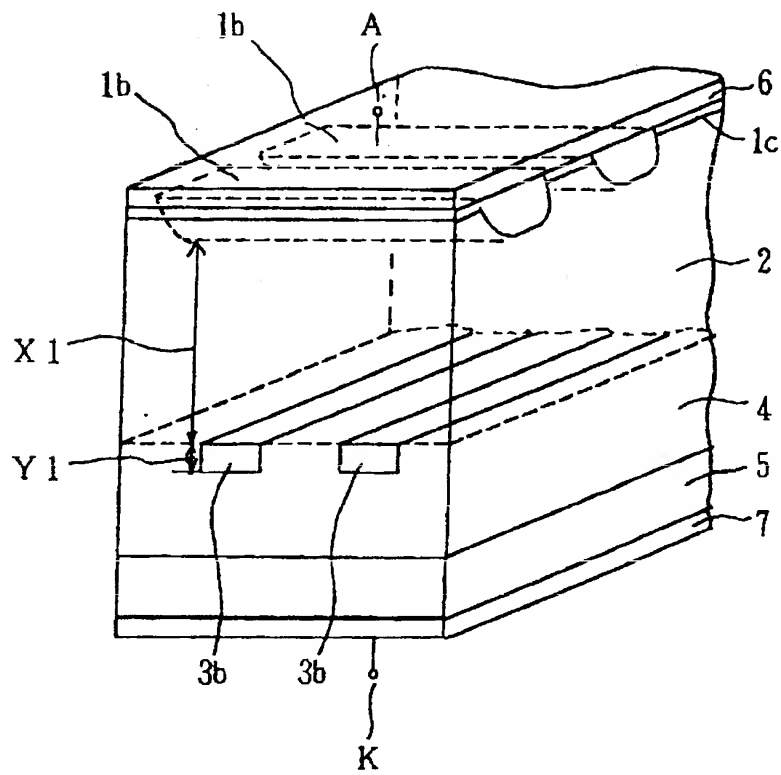
【図21】



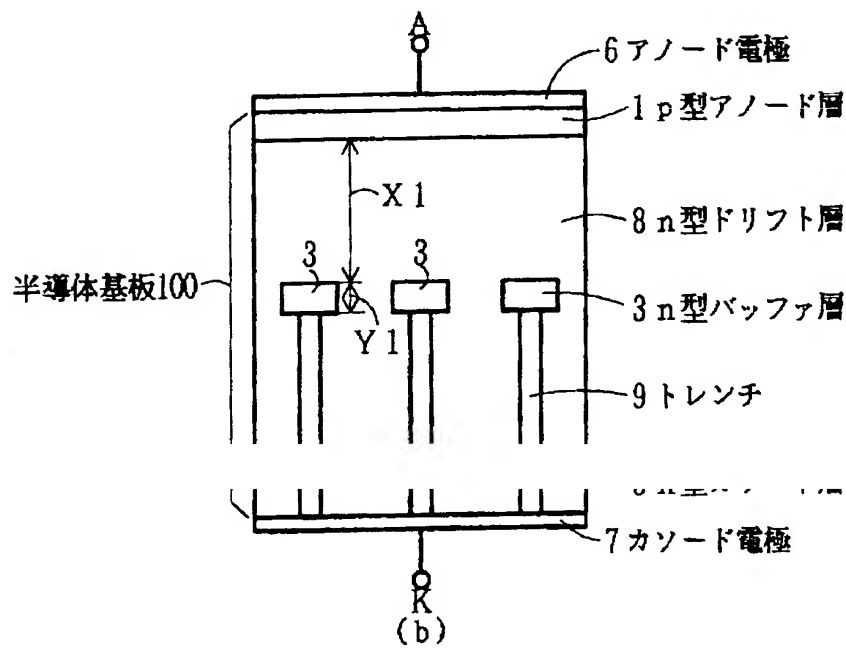
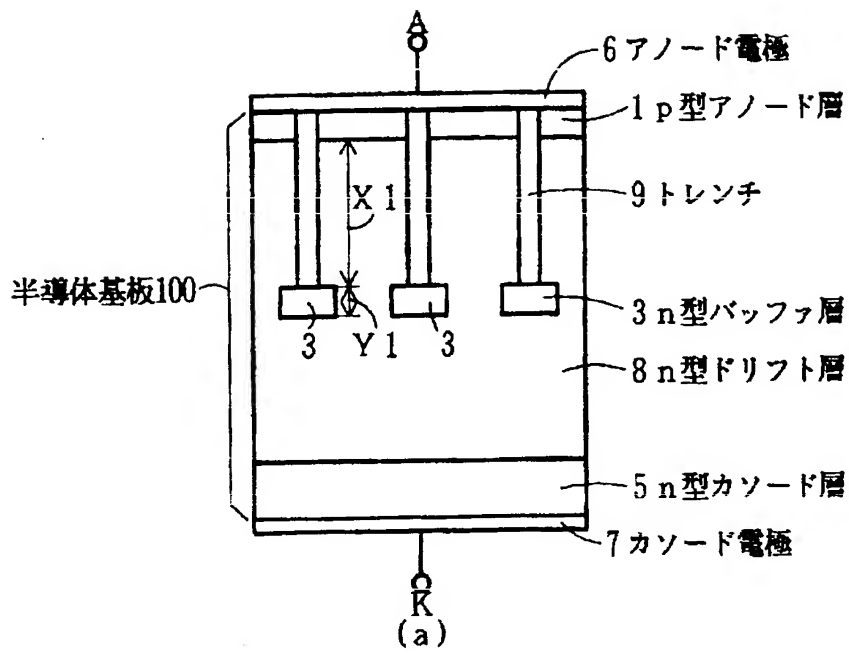
【図22】



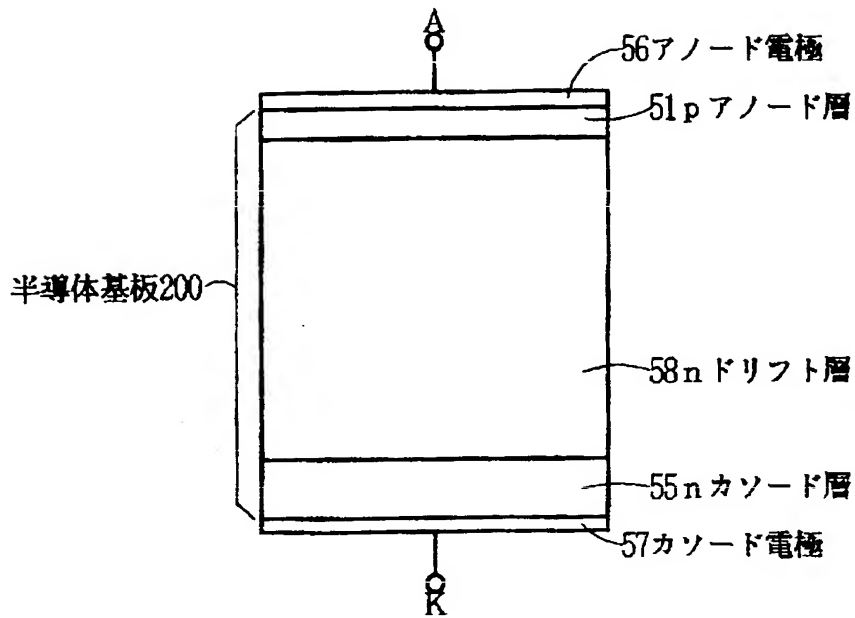
【図 23】



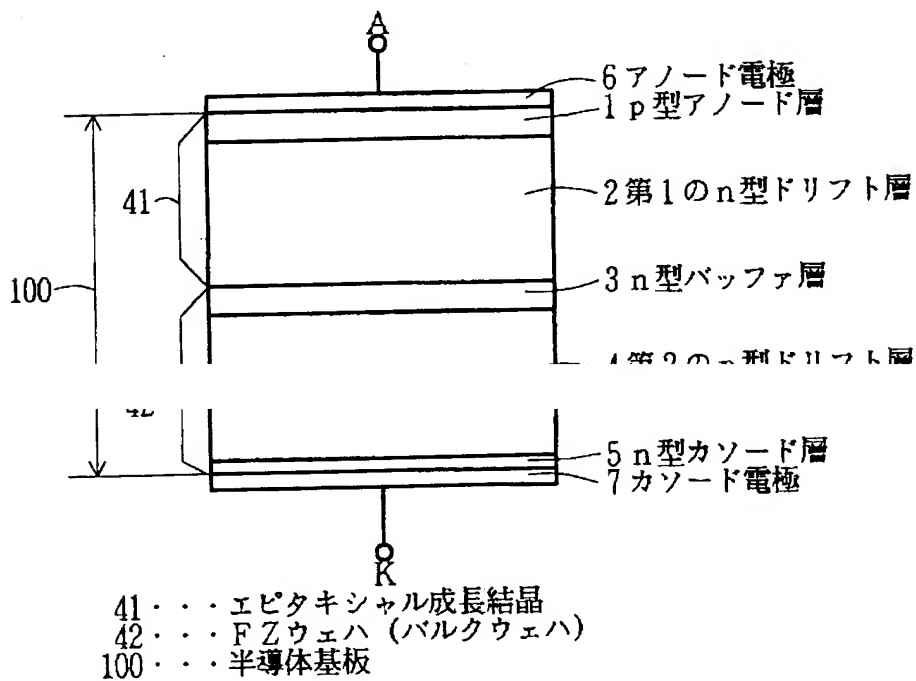
【図24】



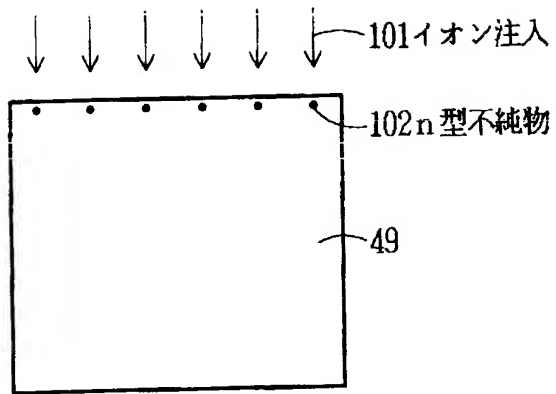
【図 2 5】



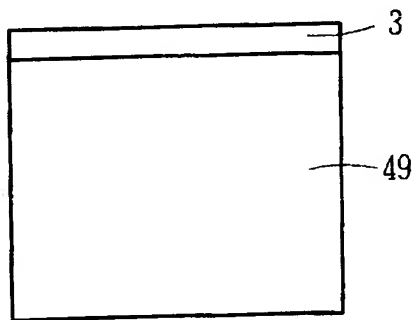
【図 2 6】



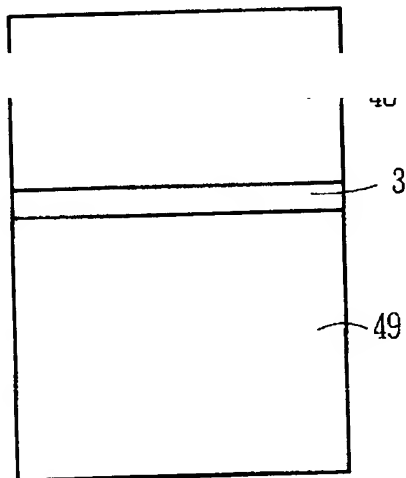
【図 2 7】



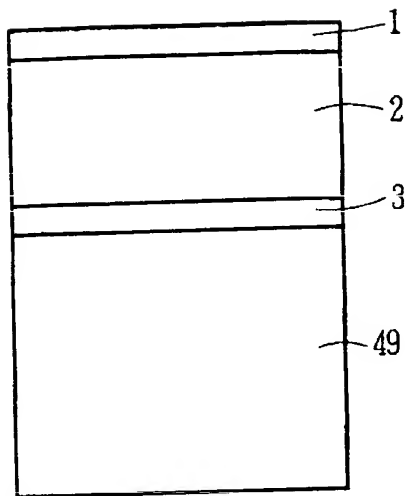
【図 2 8】



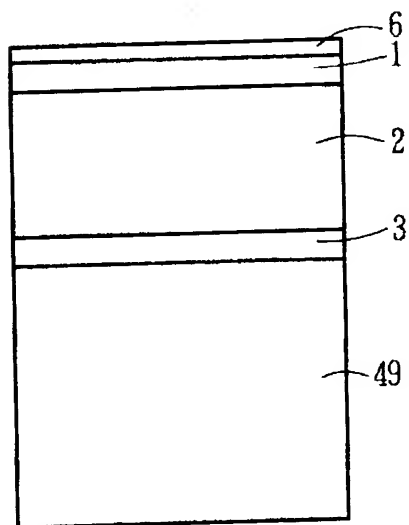
【図 2 9】



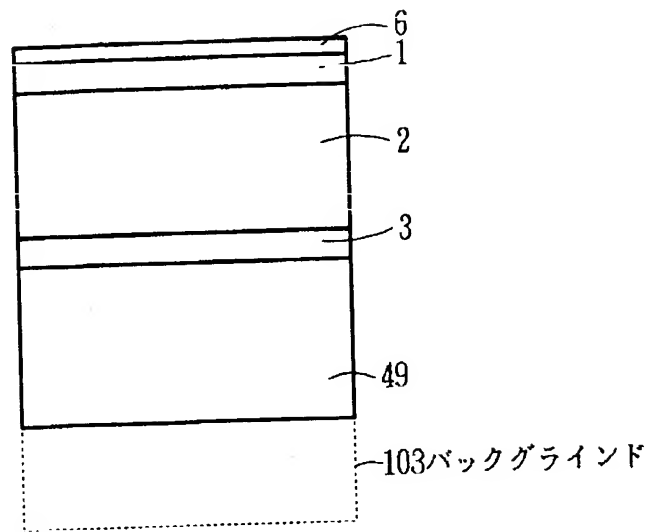
【図30】



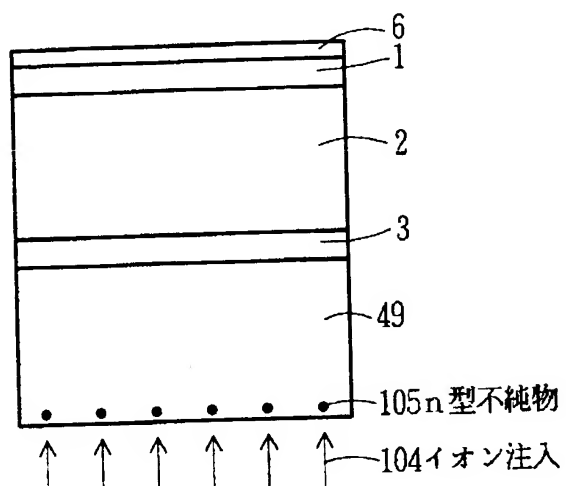
【図31】



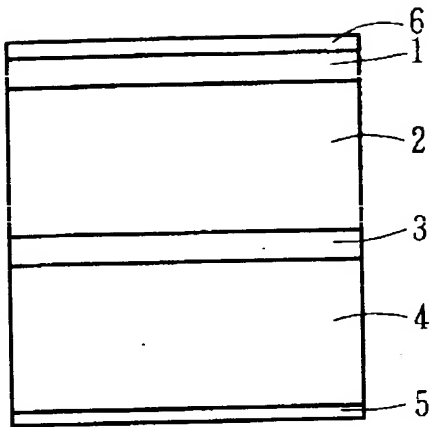
【図32】



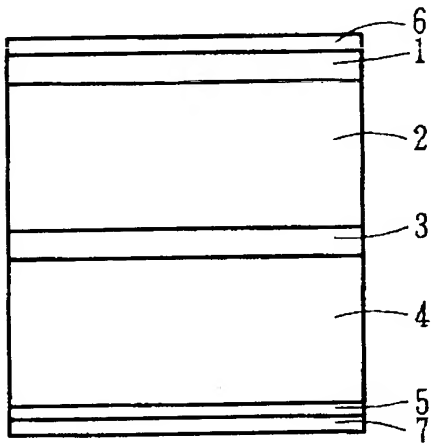
【図33】



【図34】



【図35】



【書類名】 要約書

【要約】

【課題】 耐圧を確保しながら、高速化・低損失化とソフトリカバリー化の間のトレードオフが改善できる薄いドリフト層を有する半導体装置を提供すること。

【解決手段】 $p\text{-}i\text{-}n$ ダイオードの n 型ドリフト層内に n 型バッファ層 3 を形成し、 p 型アノード層 1 と第 1 の n 型ドリフト層 2 の $p\text{-}n$ 接合から、 n 型バッファ層 3 の最短距離 X_1 と、 n 型バッファ層の幅 Y_1 を所定の値に設定することで、耐圧を確保しながら 高速化・低損失化とソフトリカバリー化の間のトレードオフが改善を図ることができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2001-259928
受付番号	50101265677
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 9月 3日

<認定情報・付加情報>

【特許出願人】

【識別番号】

000005234

【住所又は居所】

神奈川県川崎市川崎区田辺新田1番1号

【氏名又は名称】

富士電機株式会社

【代理人】

申請人

【識別番号】

100088339

【住所又は居所】

東京都日野市富士町1番地 富士電機株式会社内

【氏名又は名称】

篠部 正治

次頁無

出 願 人 履 歴 情 報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日
[変更理由] 新規登録
住 所 神奈川県川崎市川崎区田辺新田1番1号
氏 名 富士電機株式会社